

## Title (en)

Semiconductor cell structure for a bucket brigade device and process for making same.

## Title (de)

Halbleiter-Zellenstruktur für eine Eimerkettenschaltung sowie Verfahren zur Herstellung derselben.

## Title (fr)

Structure cellulaire semiconductrice pour dispositif chaîne de seaux et procédé de fabrication.

## Publication

**EP 0000180 A1 19790110 (DE)**

## Application

**EP 78100214 A 19780622**

## Priority

US 80987677 A 19770624

## Abstract (en)

[origin: US4142199A] The invention is the structure and process for making a bucket brigade device which comprises the merger of an MOS capacitor with an MOSFET device to form the charge transfer cell. A thin n-type region is implanted in a portion of the p-type channel region of an FET device adjacent to the drain diffusion. This structure increases the charge transfer efficiency for the cell and reduces its sensitivity of the threshold voltage to the source-drain voltage. The gate for the device has a substantial overlap over the drain and a minimal overlap over the source and the gate to drain capacitance per unit area is maximized by maintaining a uniformly thin oxide layer across the gate region.

## Abstract (de)

Eine Halbleiterzellenstruktur für die Verwendung in einer Eimerkettenschaltung enthält die Kombination einer MOS-Kapazität mit einer MOSFET-Anordnung, um eine Ladungsübertragungszelle zu bilden. Dabei ist auf der einen Seite der Draindiffusion (104) und mit ihr verbunden eine dünne ionenimplantierte Drainverlängerung (107) angeordnet, die von einem kurzen Kanalbereich (105) von der benachbarten Draindiffusion (104') getrennt ist. Über dem Kanalbereich (105) und dem ionenimplantierten Drainvergrößerungsbereich (107) ist ein durchgehend dünner Oxidfilm gleichmäßiger Dicke (110) unterhalb des Gates (112) vorhanden. Dadurch wird die Effizienz der Ladungsübertragung von Zelle zu Zelle gesteigert und die Empfindlichkeit der Schwellwertspannung gegenüber der Source-Drain-Spannung reduziert. Das Gate (112) der Zelle überlappt zum größten Teil die Drain und nur zu einem kleinen Teil die Source, die Gate-Drain-Kapazität pro Flächeneinheit ist maximiert durch Aufrechterhaltung der gleichförmig dünnen Oxidschicht (110) über dem Gatebereich. Diese Halbleiterzellenstruktur für eine Eimerkettenschaltung kann in integrierter Technologie mit anderen logischen FET-Anordnungen bei reduzierten parasitären Kapazitäten auf einem Chip hoher Integrationsdichte realisiert werden.

## IPC 1-7

**H01L 27/10**; **H01L 21/265**; **H01L 21/82**; **H01L 27/06**

## IPC 8 full level

**H01L 21/339** (2006.01); **H01L 21/265** (2006.01); **H01L 21/266** (2006.01); **H01L 21/8234** (2006.01); **H01L 27/07** (2006.01); **H01L 27/105** (2006.01); **H01L 29/76** (2006.01); **H01L 29/762** (2006.01); **H01L 29/772** (2006.01)

## CPC (source: EP US)

**H01L 21/2652** (2013.01 - EP US); **H01L 21/266** (2013.01 - EP US); **H01L 21/823406** (2013.01 - EP US); **H01L 27/0733** (2013.01 - EP US); **H01L 27/1055** (2013.01 - EP US)

## Citation (search report)

- FR 2161003 A1 19730706 - PHILIPS NV
- US 3959025 A 19760525 - POLINSKY MURRAY ARTHUR
- [A] FR 2197207 A1 19740322 - WESTERN ELECTRIC CO [US]
- [A] DE 2508833 A1 19750904 - NIPPON TELEGRAPH & TELEPHONE
- IEEE TRANSACTIONS ON ELECTRON DEVICES BAND 23, oktober 1976, New York, C.G. SODINI et al "Enhanced capacitor for one-transistor memory cell", Seiten 1187-1189.

## Cited by

EP0008691A1

## Designated contracting state (EPC)

DE FR GB

## DOCDB simple family (publication)

**EP 0000180 A1 19790110**; **EP 0000180 B1 19801210**; DE 2860288 D1 19810219; JP S5410685 A 19790126; JP S6022833 B2 19850604; US 4142199 A 19790227

## DOCDB simple family (application)

**EP 78100214 A 19780622**; DE 2860288 T 19780622; JP 3980778 A 19780406; US 80987677 A 19770624