

Title (en)

Method of manufacturing semiconductor devices comprising recessed silicon oxide regions.

Title (de)

Verfahren zur Herstellung von mit vertieften Siliziumoxidbereichen versehenen Halbleiteranordnungen.

Title (fr)

Procédé de fabrication de dispositifs semi-conducteurs comportant des régions d'oxyde de silicium encastrées.

Publication

EP 0000316 A1 19790110 (FR)

Application

EP 78430001 A 19780601

Priority

US 80318277 A 19770603

Abstract (en)

[origin: US4098618A] A method of manufacturing semiconductor devices of the type wherein regions of oxide such as silicon oxide recessed or inset in a silicon substrate are formed by oxidation of the silicon with the use of a masking layer protecting locally against the oxidation. In order to prevent the formation of a projecting oxide beak under the masking layer a nitride oxidation mask is applied directly to the substrate which has been previously ion-implanted to a controlled depth and then annealed to generate a dense dislocation network array on the substrate surface to prevent mechanical stress defects which normally would occur when a nitride mask is applied directly to a substrate.

Abstract (fr)

- Perfectionnement aux procédés de fabrication de dispositifs semi-conducteurs. -Ce procédé évite l'apparition du phénomène dit du "bec d'oiseau" et permet cependant, le dépôt direct du masque en Si₃N₄ sur le substrat de silicium. Il comporte les étapes suivantes; (A) élaboration d'un substrat semi-conducteur typiquement de silicium (10); (B) implantation d'ions neutres (argon) dans la couche superficielle (20) du substrat pour l'endommager, et la rendre quasiment amorphe, cette étape est suivie d'un recuit; (C) formation sur ladite couche d'un masque (14) en nitrure de silicium (Si₃N₄) selon une configuration désirée; (D) oxydation des portions exposées du substrat pour former des régions (16) de bioxyde de silicium encastrées. -Application à la fabrication de dispositifs semiconducteurs à isolement par des régions en matériau diélectrique encastrées à grande densité d'intégration.

IPC 1-7

H01L 21/76; **H01L 21/265**; **H01L 21/316**

IPC 8 full level

H01L 21/265 (2006.01); **H01L 21/306** (2006.01); **H01L 21/316** (2006.01); **H01L 21/76** (2006.01); **H01L 21/318** (2006.01); **H01L 21/32** (2006.01); **H01L 21/322** (2006.01); **H01L 21/762** (2006.01)

CPC (source: EP US)

H01L 21/02238 (2013.01 - EP US); **H01L 21/02299** (2013.01 - EP US); **H01L 21/26506** (2013.01 - EP US); **H01L 21/31662** (2013.01 - US); **H01L 21/3185** (2013.01 - US); **H01L 21/32** (2013.01 - EP US); **H01L 21/3221** (2013.01 - EP US); **H01L 21/76213** (2013.01 - EP US); **Y10S 438/924** (2013.01 - EP US); **Y10S 438/966** (2013.01 - EP US)

Citation (search report)

- US 3966501 A 19760629 - NOMURA KOUSI, et al
- [A] US 3773566 A 19731120 - TSUCHIMOTO T
- IBM TECHNICAL DISCLOSURE BULLETIN, vol. 18, no. 5, october 1975, New York (USA) V.L. RIDEOUT "Reducing lateral oxidation in recessed oxide isolated structure", page 1616.
- IBM TECHNICAL DISCLOSURE BULLETIN, vol. 19, no. 11, avril 1977, New York (USA) H.S. BHATIA et al. "Isolation process for shallow junction devices" page 4171.
- [A] IBM TECHNICAL DISCLOSURE BULLETIN, vol. 17, no. 3, août 1974 New York (USA) V.L. RIDEOUT et al: "Fabricating recessed oxide isolation regions in silicon substrates" pages 949-951.

Cited by

US2016185941A1

Designated contracting state (EPC)

DE FR GB

DOCDB simple family (publication)

US 4098618 A 19780704; CA 1088217 A 19801021; DE 2860635 D1 19810806; EP 0000316 A1 19790110; EP 0000316 B1 19810429; IT 1158723 B 19870225; IT 7823833 A0 19780526; JP S542671 A 19790110; JP S6141139 B2 19860912

DOCDB simple family (application)

US 80318277 A 19770603; CA 300719 A 19780407; DE 2860635 T 19780601; EP 78430001 A 19780601; IT 2383378 A 19780526; JP 6181278 A 19780525