

Title (en)
A STRATIFIED CHARGE MEMORY DEVICE.

Title (de)
MEHRSCHICHTEN-LADUNGSSPEICHERVORRICHTUNG.

Title (fr)
MEMOIRE DE CHARGE STRATIFIEE.

Publication
EP 0007910 A1 19800206 (EN)

Application
EP 79900086 A 19790731

Priority
US 86654178 A 19780103

Abstract (en)
[origin: WO7900474A1] A RAM device employs an array of dual gated transistor memory cells (110) accessed by row and column decoding leads (120R and 120C). A separate P type memory region is provided under the column gate (122C) which acquires holes as a function of the input data during the write cycle, for controlling the flow of an output electron current during the subsequent read cycle. The write holes flow from the substrate (104) into the P memory region to record a "1" when both the row gate (122R) and the column gate are at a low positive potential. The write holes become trapped in the P memory region when the low write voltage on the row gate is replaced by a higher storage voltage. During the read cycle both gates are high, and electron current flow from source to drain along a continuous electron conductive path formed under both gates. The high row voltage causes electron conduction at the surface of the P substrate (104) under the row gate by establishing an N type inversion layer. The high column voltage in combination with the positive charge of the write holes promotes the flow of read electrons under the column gate through a buried N channel (138) adjacent to the P memory region. The read conductive path between the source (114) and drain (116) is formed by the row inversion layer plus the N channel. The stratified charge structure functions as an additional gate beneath the column gate which requires trapped write holes in order to allow electron flow when the row and column gates are activated during read.

Abstract (fr)
Un dispositif RAM comporte un reseau de cellules de memoire a transistor a double grille (110) auxquelles on accede par des lignes et des colonnes (120R et 120C) reliees a des decodeurs respectivement de ligne et de colonne. Une region de memoire de type P est situee sous la grille de colonne (122C), qui recoit des trous en fonction de la donnee d'entree pendant le cycle d'ecriture, pour la commande de l'ecoulement d'un courant d'electrons de sortie pendant le cycle de lecture qui suit. Les trous d'ecriture s'ecoulent du substrat (104) vers la region de memoire P pour inscrire un "1" lorsque la grille de ligne (122R) et la grille de colonne sont toutes les deux a un potentiel positif bas. Les trous d'ecriture sont pieges dans la region de memoire P lorsque la basse tension d'ecriture sur la grille de ligne est remplacee par une tension plus elevee de stockage. Pendant le cycle de lecture les deux grilles sont a un niveau eleve et un courant d'electrons s'ecoule de la source vers le drain le long d'un chemin continu conducteur d'electrons forme sous les deux grilles. La tension elevee de ligne provoque une conduction d'electrons sur la surface du substrat P (104), en-dessous de la grille de ligne, par l'etablissement d'une couche d'inversion de type N. La tension elevee de colonne, en combinaison avec la charge positive des trous d'ecriture, provoque l'ecoulement d'electrons de lecture en-dessous de la grille de colonne e travers un canal N interieur (138) adjacent a la region de memoire P. Le chemin conducteur de lecture situe entre la source (114) et le drain (116) est constitue par la couche d'inversion de ligne plus le canal N. La structure de charge stratifiee fonctionne comme une grille additionnelle au-dessous de la grille de colonne qui necessite des trous d'ecriture pieges afin de permettre un ecoulement d'electrons lorsque les grilles de ligne et de colonne sont activees pendant la lecture.

IPC 1-7
G11C 11/40; H01L 27/10; H01L 21/82

IPC 8 full level
G11C 11/34 (2006.01); **G11C 11/35** (2006.01); **H01L 21/822** (2006.01); **H01L 21/8242** (2006.01); **H01L 27/04** (2006.01); **H01L 27/06** (2006.01); **H01L 27/108** (2006.01); **H01L 29/78** (2006.01)

CPC (source: EP)
G11C 11/35 (2013.01)

Designated contracting state (EPC)
FR

DOCDB simple family (publication)
WO 7900474 A1 19790726; EP 0007910 A1 19800206; EP 0007910 A4 19801128; GB 2060997 A 19810507; JP H0160951 B2 19891226; JP S55500033 A 19800124

DOCDB simple family (application)
US 7900001 W 19790102; EP 79900086 A 19790731; GB 7926605 A 19790102; JP 50026879 A 19790102