

Title (en)
Semiconductor memory.

Title (de)
Halbleiterspeicher.

Title (fr)
Mémoire semiconductrice.

Publication
EP 0019886 A1 19801210 (DE)

Application
EP 80102900 A 19800523

Priority
DE 2921993 A 19790530

Abstract (en)
A semiconductor memory which is laid down on a silicon chip along with the associated peripheral electronics, in which the formation of parasitic semiconductor components is prevented, in which a small as possible write and erase voltages are employed, in which reprogramming is possible with voltages of one polarity, whose technology can be substantially derived from the 5 volt n-channel silicon gate technology, in which enhancement and depletion transistors are possible alongside each other at the same time, in which the cell structures have a minimum area requirement, and for which the circuit so produced is CMOS and TTL compatible. According to the invention, the semiconductor memory comprises MOS field effect transistors which are laid down as integrated circuits on a silicon chip in a manner such that both the memory matrix and the associated peripheral electronics are accommodated on the same chip, a further p-doped silicon substrate being epitaxially laid down on an n-doped silicon substrate and memory transistors having variable threshold values, on the one hand, and logic transistors, on the other hand, are introduced into the epitaxially laid-down p-doped silicon substrate in a manner such that the substrate of the memory transistors is separated from that of the logic transistors by an n<+>-doped zone, the isolating ring, in a manner such that the entire epitaxially laid-down p-doped substrate is continued right up to the n-doped silicon substrate, that narrow p<+>-doped regions close to the surface are introduced into the p-doped silicon substrate, some of which act as so-called channel stoppers while the others project out of the isolating ring into that section of the substrate which contains memory transistors, that surface contacts are present which connect the isolating ring and the other narrow p<+>-doped regions close to the surface, that, furthermore, field regions situated beneath the various memory cells are provided in the semiconductor material by means of field implantation dopings of various intensity so that the formation of parasitic semiconductor components is reduced or prevented, that an insulator composed of a layer sequence of silicon oxide, silicon nitride and silicon oxide is used as gate insulator in the memory transistors, that polysilicon is used as material for the memory gates, and that the memory transistors have a split-gate structure. Used to produce nonvolatile memories. <IMAGE>

Abstract (de)
Der Erfindung liegt die Aufgabe zugrunde, einen Halbleiterspeicher anzugeben, der mit der zugehörigen Randlelektronik auf einem Siliciumchip aufgebracht ist, bei dem die Bildung von parasitären Halbleiterbauelementen verhindert wird, der mit möglichst kleinen Schreib- und Löschspannungen arbeitet, bei dem das Umprogrammieren mit Spannungen einer Polarität möglich ist, dessen Technologie weitgehend aus der 5-Volt-n-Kanal Silicium-Gate-Technologie abgeleitet werden kann, bei dem zugleich Enhancement- und Depletiontransistoren nebeneinander möglich sind, bei dem die Zellstrukturen einen minimalen Flächenbedarf aufweisen und bei dem die so hergestellte Schaltung CMOS und TTL kompatibel ist. Erfindungsgemäß besteht der Halbleiterspeicher aus MOS Feldeffekttransistoren, die als integrierte Schaltung auf einem Siliciumchip so aufgebracht sind, daß auf dem gleichen Chip sowohl die Speichermatrix als auch die zugehörige Randlelektronik untergebracht ist, wobei auf einem n-dotierten Siliciumsubstrat ein weiteres p-dotiertes Siliciumsubstrat epitaktisch aufgebracht wird und wobei in das epitaktisch aufgebrachte p-dotierte Siliciumsubstrat Speichertransistoren mit variablem Schwellwert einerseits und Logiktransistoren andererseits so eingebracht sind, daß das Substrat der Speichertransistoren von demjenigen der Logiktransistoren durch eine n<+>-dotierte Zone, den Isolationsring, so getrennt wird, daß durch den Isolationsring das gesamte epitaktisch aufgebrachte

IPC 1-7
H01L 27/08; G11C 11/34

IPC 8 full level
H01L 27/112 (2006.01); **G11C 16/04** (2006.01); **H01L 21/8246** (2006.01); **H01L 21/8247** (2006.01); **H01L 27/088** (2006.01); **H01L 29/788** (2006.01); **H01L 29/792** (2006.01); **H01L 27/105** (2006.01)

CPC (source: EP)
G11C 16/0466 (2013.01); **H01L 27/088** (2013.01); **H01L 27/0883** (2013.01); **H10B 99/22** (2023.02)

Citation (search report)
• FR 2394144 A1 19790105 - FUJITSU LTD [JP]
• US 4052229 A 19771004 - PASHLEY RICHARD D
• DE 2450230 A1 19750528 - IBM
• DE 2241472 A1 19730308 - TOKYO SHIBAURA ELECTRIC CO
• DE 2823854 A1 19781221 - FUJITSU LTD
• US 4011653 A 19770315 - KATO TAKETOSHI, et al
• US 3590272 A 19710629 - KESHAVAN BELUR VENKATACHAR
• DE 2728167 A1 19780105 - INTEL CORP
• TECHNICAL DIGEST 1977 - INTERNATIONAL ELECTRON DEVICES MEETING, Dezember 5,6 & 7, 1977, Washington DC; IEEE New York (US)
S. FUNKUNAGA: "FA-CMOS process for low power PROM with low avalanche injection voltage", Seiten 291-293 * Zusammenfassung; Seite 291, Spalte 2, Abschnitt 4 - Seite 292, Spalte 1, Abschnitt 4; Figur 1 *
• FUNKSCHAU, Vol. 51, No. 8, 12 April 1979 Munchen (DE) H. SCHAUMBURG: "Lithografiertechniken für hochintegrierte Schaltungen", Seiten 431-434 * Bild 2; Tabelle 1 *

Cited by
DE3316675A1; EP0138439A3; EP0716454A3; WO8404852A1

Designated contracting state (EPC)
FR GB

DOCDB simple family (publication)
EP 0019886 A1 19801210; DE 2921993 A1 19801204; JP S55162271 A 19801217

DOCDB simple family (application)

EP 80102900 A 19800523; DE 2921993 A 19790530; JP 7265380 A 19800530