

Title (en)

Device for adjusting an equalizer in a data signal-transmission equipment.

Title (de)

Vorrichtung in einer Signal- bzw. Datenübertragungsanlage zur Einstellung einer Entzerrerschaltung.

Title (fr)

Dispositif de réglage d'un circuit d'égalisation dans un système de transmission de signaux ou de données.

Publication

EP 0028734 A1 19810520 (DE)

Application

EP 80106426 A 19801022

Priority

DE 2945331 A 19791109

Abstract (en)

[origin: US4404681A] A signal processing circuit for a signal varying in its properties, e.g., in its degree of distortion, in which the input signal is fed in parallel to two similar processing circuits e.g., equalizers, the characteristic of which can be varied by a control signal, wherein the control signal from the one processing circuit is periodically varied and the output signal is fed to a detector circuit which in optimum signal processing emits a trigger pulse to a holding circuit 52 which stores the corresponding control signal level, which is fed to the second processing circuit. The detector circuit provided for an optimum equalization is a timing-pulse-controlled integrating circuit with a minimum detector connected at the output side. An application of the circuit for digital data transmission with the related synchronizing timing demodulator and phase control circuits is represented.

Abstract (de)

Signalverarbeitungsschaltung für ein in seinen Eigenschaften, z. B. dem Verzerrungsgrad, variierendes Signal, bei der das Eingangssignal parallel zwei gleichartigen Verarbeitungsschaltungen (12; 32), z. B. Entzerrern, deren Charakteristik durch ein Steuersignal veränderlich ist, zugeführt wird, wobei von der einen Verarbeitungsschaltung (32) das Steuersignal periodisch variiert wird und das Ausgangssignal einer Detektorschaltung (44) zugeführt wird, die bei optimaler Signalaufbereitung einen Steuerimpuls an eine Halteschaltung (52) abgibt, die das zugehörige Steuersignalebene speichert, das der zweiten Verarbeitungsschaltung (12) zugeführt wird. Als Detektorschaltung für eine optimale Entzerrung ist eine taktgesteuerte (38) integrierende (42) Schaltung mit nachgeschaltetem Minimumdetektor (44) vorgesehen. Eine Anwendung der Schaltung für digitale Datenübertragung mit zugehörigen Synchrontakt-, Demodulator- und Phasensteuerschaltungen ist dargestellt.

IPC 1-7

H04L 25/03; **H04L 7/02**; **H04B 3/04**

IPC 8 full level

H03L 7/00 (2006.01); **H03L 7/081** (2006.01); **H04B 3/04** (2006.01); **H04L 7/02** (2006.01); **H04L 7/033** (2006.01); **H04L 25/03** (2006.01)

CPC (source: EP US)

H03L 7/0814 (2013.01 - EP US); **H04L 7/0337** (2013.01 - EP US); **H04L 25/03019** (2013.01 - EP US); **H04L 7/0041** (2013.01 - EP US)

Citation (search report)

- DE 2150579 B2 19791220
- DE 2301315 B2 19751218
- DE 1922641 A1 19701105 - DEUTSCHE BUNDESPOST
- DE 2447539 A1 19750417 - PLESSEY HANDEL INVESTMENT AG

Cited by

EP0143226A3; EP0427286A3

Designated contracting state (EPC)

AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)

EP 0102598 A1 19840314; **EP 0102598 B1 19870128**; AT E8949 T1 19840815; DE 2945331 A1 19810604; DE 2945331 C2 19840530; DE 3068892 D1 19840913; DE 3071902 D1 19870305; EP 0028734 A1 19810520; EP 0028734 B1 19840808; US 4404681 A 19830913; US 4524448 A 19850618

DOCDB simple family (application)

EP 83108426 A 19801022; AT 80106426 T 19801022; DE 2945331 A 19791109; DE 3068892 T 19801022; DE 3071902 T 19801022; EP 80106426 A 19801022; US 20503880 A 19801107; US 42223282 A 19820923