

Title (en)  
GO/NO GO MARGIN TEST CIRCUIT FOR SEMICONDUCTOR MEMORY.

Title (de)  
FUNKTIONSTEST FÜR HALBLEITERSPEICHER BEI VERSORGUNGSSPANNUNGSGRENZWERTEN.

Title (fr)  
CIRCUIT DE TEST OUI-NON DE MARGE POUR MEMOIRE A SEMI-CONDUCTEUR.

Publication  
**EP 0059184 A1 19820908 (EN)**

Application  
**EP 81900841 A 19800908**

Priority  
US 8001150 W 19800908

Abstract (en)  
[origin: WO8200896A1] A semiconductor memory circuit (140) includes a plurality of memory cells each having an access transistor (154, 158) and a storage capacitor (162, 166). The memory cells are connected to digit lines (142, 144) each of which is split into halves each connected to one input of a sense amplifier (146, 148). The sense amplifiers (146, 148) operate to pull one of the half digit lines connected thereto to ground while a pull up circuit (220) operates to elevate the other half digit line to the supply voltage. A margin test circuit receives through a control pin (236) an externally supplied test command which generates a test signal (318) to generate marginal low and marginal high voltage states to be written into the memory cells. The marginal low voltage state is generated by a voltage divider (288). The marginal high voltage state is generated by disabling the pull up circuit (220). To prevent loss of the marginal low state the sense amplifiers (146, 148 and 248) are disabled by the internally generated test signal. While the externally supplied test command is applied to the semiconductor memory circuit (140) marginal voltage states are applied to memory cells in accordance with externally supplied address and operational commands. The marginal voltage states are utilized to simplify testing of the circuit.

Abstract (fr)  
Un circuit de memoire a semi-conducteur (140) comprend une pluralite de cellules de memoire possedant chacune un transistor d'accès (154, 158) et un condensateur de stockage (162, 166). Les cellules de memoire sont connectees a des lignes de chiffres (142, 144) chacune d'entre elles etant divisee en moities dont chacune est connectee a une entree d'un amplificateur de detection (146, 148). Les amplificateurs de detection (146, 148) servent a mettre a la masse une des moities de lignes de chiffres qui leur sont connectees alors qu'un circuit d'elevation (220) sert a elever l'autre moitie de lignes de chiffres au niveau de tension d'alimentation. Un circuit de test de marge recoit au travers d'une broche de commande (236) une commande de test fournie par l'exterieur qui produit un signal de test (318) servant a ecrire dans les cellules de memoire des etats de tension marginale faible et de tension marginale elevee. L'etat de tension marginale faible est produit par un diviseur de tension (288). L'etat de tension marginale elevee est produit en invalidant le circuit d'elevation (220). Afin d'empecher une perte de l'etat marginal faible, les amplificateurs de detection (146, 148 et 248) sont invalides par le signal de test produit a l'interieur. Pendant que la commande de test fournie par l'exterieur est appliquee au circuit de memoire a semi-conducteur (140) des etats de tension marginale sont appliques aux cellules de memoire conformement aux adresses fournies par l'exterieur et aux commandes de fonctionnement. Les etats de tension marginale sont utilises pour simplifier le controle du fonctionnement du circuit.

IPC 1-7  
**G01R 31/28; G11C 29/00**

IPC 8 full level  
**G01R 31/3161** (2006.01); **G11C 29/50** (2006.01)

CPC (source: EP)  
**G01R 31/3161** (2013.01); **G11C 29/50** (2013.01); **G06F 2201/81** (2013.01); **G11C 2029/5004** (2013.01)

Designated contracting state (EPC)  
AT CH DE FR GB LI LU NL SE

DOCDB simple family (publication)  
**WO 8200896 A1 19820318**; EP 0059184 A1 19820908

DOCDB simple family (application)  
**US 8001150 W 19800908**; EP 81900841 A 19800908