

Title (en)  
CLOCKING SYSTEM FOR A SELF-REFRESHED DYNAMIC MEMORY.

Title (de)  
TAKTSYSTEM FÜR EINEN SICH SELBST AUFFRISCHENDEN DYNAMISCHEN SPEICHER.

Title (fr)  
SYSTEME D'HORLOGE POUR UNE MEMOIRE DYNAMIQUE A AUTO-REGENERATION.

Publication  
**EP 0060250 A1 19820922 (EN)**

Application  
**EP 81901351 A 19800910**

Priority  
US 8001162 W 19800910

Abstract (en)  
[origin: WO8200915A1] A clocking system for a self-refreshed dynamic memory (10) for reading data stored in a memory cell (30) and including clocking circuitry (68) includes detecting changes in an address signal (60). The method further includes generating a memory refresh signal (64, 66) in response to detecting changes in the address signal (60). The memory refresh signal (66) is applied to the semiconductor memory circuit (30) for refreshing data stored in the memory cells of the semiconductor memory circuit (30). After the application of the memory refresh signal (66) to the semiconductor memory circuit (30) the address signal (16) is applied to the semiconductor memory circuit (30) for accessing the addressed memory cell to thereby read the data stored therein. The clocking circuitry (68) is reset and precharged during the application of the refresh signal (66) to the semiconductor memory circuit (30).

Abstract (fr)  
Un systeme d'horloge pour une memoire dynamique a auto-regeneration (10) pour la lecture de donnees stockees dans une cellule de memoire (30) et comprenant un reseau de circuits d'horloge (68) com prend la detection des changements d'un signal d'adresse (60). Le procede consiste aussi a generer un signal de regeneration de memoire (64, 66) en reponse a la detection des changements du signal d'adresse (60). Le signal de regeneration de memoire (66) est applique au circuit de memoire a semi-conducteur (30) pour regenerer les donnees stockees dans les cellules de memoire du circuit de memoire a semi-conducteur (30). Apres application du signal de regeneration de memoire (66) sur le circuit de memoire a semi-conducteur (30), le signal d'adresse (16) est applique au circuit de memoire a semi-conducteur (30) pour avoir acces a la cellule de memoire adreesee de maniere a lire les donnees stockees dans cette cellule de memoire. Le reseau de circuits d'horloge (68) est remis a zero et precharge pendant l'application du signal de regeneration (66) sur le circuit de memoire a semi-conducteur (30).

IPC 1-7  
**G11C 7/00**

IPC 8 full level  
**G11C 11/406** (2006.01)

CPC (source: EP)  
**G11C 11/406** (2013.01)

Designated contracting state (EPC)  
AT CH DE FR GB LI LU NL SE

DOCDB simple family (publication)  
**WO 8200915 A1 19820318**; EP 0060250 A1 19820922

DOCDB simple family (application)  
**US 8001162 W 19800910**; EP 81901351 A 19800910