

Title (en)
DATA TRANSFER SYSTEM.

Title (de)
DATENÜBERTRAGUNGSSYSTEM.

Title (fr)
SYSTEME DE TRANSFERT DE DONNEES.

Publication
EP 0062670 A1 19821020 (EN)

Application
EP 81902935 A 19811023

Priority
US 20083180 A 19801027

Abstract (en)
[origin: WO8201608A1] A buffer memory system for effecting parallel transfer of data between an eight-bit processor (5) and a large continually recirculating serial memory (7) includes a 1024 word by 20 bit static random access memory (RAM) (11). Twenty data terminals of the serial RAM (7) are coupled by means of first bi-directional driver circuitry (19) to corresponding terminals of the static RAM (11). Three groups of the data terminals of the static RAM (11) are sequentially multiplexed onto a data bus of the processor (5). Control circuitry responsive to control signals produced by the processor (5) and the serial memory includes first (37), and second (27) counters, outputs of which are applied to the static RAM (11) to enable the processor (5) to write information into and read information out of the static RAM (11) and to enable the serial memory (7) to write information into and read information out of the static RAM (11).

Abstract (fr)
Système de tampon de mémoire permettant d'effectuer un transfert en parallèle de données entre un processeur à 8 bits (5) et une vaste mémoire sérielle (7) recirculant en continu, comprenant une mémoire statique à accès sélectif RAM (11) de 1024 mots par 20 bits. Vingt terminaux de données de la mémoire RAM sérielle (7) sont couplés au moyen du premier circuit de commande (19) bidirectionnel aux terminaux correspondants de la mémoire RAM statique (11). Trois groupes des terminaux de données de la mémoire, RAM statique (11) sont multiplexés de manière séquentielle dans un bus de données du processeur (5). Un circuit de commande permettant de commander les signaux produits par le processeur (5) et la mémoire sérielle comprend un premier (37) et un deuxième (27) compteurs, dont les sorties sont appliquées à la mémoire RAM statique (11) pour permettre au processeur (5) d'écrire et de lire des informations dans la mémoire RAM statique (11) et pour permettre à la mémoire sérielle (7) d'écrire et de lire des informations dans la mémoire RAM statique (11).

IPC 1-7
G06F 13/00

IPC 8 full level
G06F 3/153 (2006.01); **G06F 3/00** (2006.01); **G06F 5/06** (2006.01); **G06F 5/10** (2006.01); **G06F 13/00** (2006.01); **G09G 5/00** (2006.01); **G09G 5/393** (2006.01)

CPC (source: EP)
G06F 3/007 (2013.01); **G06F 5/10** (2013.01); **G09G 5/393** (2013.01)

Designated contracting state (EPC)
DE FR GB NL

DOCDB simple family (publication)
WO 8201608 A1 19820513; CA 1169976 A 19840626; EP 0062670 A1 19821020; JP S57501607 A 19820902

DOCDB simple family (application)
US 8101431 W 19811023; CA 388373 A 19811020; EP 81902935 A 19811023; JP 50347381 A 19811023