

Title (en)
CURRENT LIMITING DRIVER CIRCUIT.

Title (de)
STROMBEGRENZTE TREIBERSCHALTUNG.

Title (fr)
CIRCUIT DE COMMANDE DE LIMITATION D'INTENSITE.

Publication
EP 0077771 A1 19830504 (EN)

Application
EP 81901625 A 19810416

Priority
US 8100497 W 19810416

Abstract (en)
[origin: WO8203737A1] A current limiting driver circuit (10) receives a first logic level input signal (O &cir& /1) and drives an output pin (26). A node (14) is pulled to ground by a pull-down transistor (16) which receives the first input signal (O &cir& /1) and is driven to a high voltage state by a pull-up transistor (12). A driver transistor (28) is turned on by a high voltage state at the node (14) and is turned off by a low voltage state at the node (14). The driver transistor (28) is connected to provide a high voltage state to the output pin (26). A pull-down transistor (30) is connected to receive the first input signal (O &cir& /1) in order to pull the output pin (26) to ground. A series of transistors (18, 20, 22) are connected between the gate and source terminals of the driver transistor (28) such that when the gate-to-source voltage of the driver transistor (28) exceeds the combined thresholds of the three transistors (18, 20, 22) they will be turned on and thereby limit the maximum gate-to-source voltage of driver transistor (28). This in turn serves to limit the maximum current flow through the driver transistor (28). Disabling transistors (17, 32) are included for providing a high impedance output to the output pin (26).

Abstract (fr)
Un circuit de commande de limitation d'intensite (10) recoit un premier signal d'entree de niveau logique (01) et commande une broche de sortie (26). Un noeud (14) est tire a la terre par un transistor d'abaissement (16) qui recoit le premier signal d'entree (01) et est entraine vers un etat de haute tension par un transistor de montee (12). Un transistor de commande (28) est excite par un etat de haute tension au niveau du noeud (14) et est coupe par un etat basse tension au niveau du noeud (14). Le transistor de commande (28) est connecte pour fournir un etat haute tension sur la broche de sortie (26). Un transistor d'abaissement (30) est connecte pour recevoir le premier signal d'entree (01) de maniere a ramener la broche de sortie (26) a la terre. Une serie de transistors (18, 20, 22) sont connectes entre les bornes de porte et de source du transistor de commande (28) de sorte que lorsque la tension de porte-a-source du transistor de commande (28) depasse les seuils combines des trois transistors (18, 20, 22) ceux-ci seront excites et limiteront par consequent la tension maximum porte-a-source du transistor de commande (28). Ceci, a son tour, sert a limiter l'intensite maximum du courant passant par le transistor de commande (28). Des transistors d'invalidation (17, 32) sont prevus pour produire une sortie d'impedance elevee sur la broche de sortie (26).

IPC 1-7
H03K 19/094; **H03K 17/08**

IPC 8 full level
H03K 19/003 (2006.01); **H03K 19/094** (2006.01)

CPC (source: EP)
H03K 19/00315 (2013.01); **H03K 19/09429** (2013.01)

Designated contracting state (EPC)
AT CH DE FR GB LI LU NL SE

DOCDB simple family (publication)
WO 8203737 A1 19821028; EP 0077771 A1 19830504

DOCDB simple family (application)
US 8100497 W 19810416; EP 81901625 A 19810416