

Title (en)

SPLIT LOAD CIRCUIT.

Title (de)

SCHALTUNG MIT GETRENNNTER LAST.

Title (fr)

CIRCUIT A CHARGE DIVISEE.

Publication

EP 0079884 A1 19830601 (EN)

Application

EP 81901777 A 19810526

Priority

US 8100698 W 19810526

Abstract (en)

[origin: WO8204364A1] A split load circuit (44) for driving a high speed load (72) and a low speed load (74) to the same logic state in response to one or more input signals. One input signal is provided to the gate terminals of pull-down transistors (48, 50, 52). The inverse of the input signal is provided to the gate terminals of pull-up transistors (64, 66). The high speed load (72) is connected between the pull-up transistor (64) and the pull-down transistor (50) and the low speed load (74) is connected between the pull-up transistor (66) and the pull-down transistor (52). When the input signal at the input node (46) is driven from one voltage state to another, the loads (72, 74) will be driven at different rates depending upon the capacitance and impedance of the load and the sizes of the pull-up transistors (64, 66) and the pull-down transistors (50, 52). The loads (72, 74) are driven independently such that much smaller pull-up and pull-down transistors can be utilized in place of a single pull-up and single pull-down transistor which would need to be fabricated much larger in order to meet the speed requirement of the high speed load (72) and to charge the high capacitance of the low speed load (74). Further, the power consumption is substantially reduced due to the reduced area of the transistors.

Abstract (fr)

Un circuit a charge divisée (44) sert à porter une charge à haute vitesse (72) et une charge à faible vitesse (74) au même état logique en réponse à un ou plusieurs signaux d'entrée. Un signal d'entrée est appliqué aux terminaux de portes des transistors de refoulement (48, 50, 52). L'inverse du signal d'entrée est appliqué aux terminaux de portes des transistors de remontage (64, 66). La charge à haute vitesse (72) est connectée entre le transistor de remontage (64) et le transistor de refoulement (50) et la charge à faible vitesse (74) est connectée entre le transistor de remontage (66) et le transistor de refoulement (52). Lorsque le signal d'entrée au point nodal d'entrée (46) est porté d'un état de tension à un autre, les charges (72, 74) sont transmises à des vitesses différentes en fonction de la capacité et de l'impédance de la charge et des dimensions des transistors de remontage (64, 66) et des transistors de refoulement (50, 52). Les charges (72, 74) sont transmises indépendamment de manière à pouvoir utiliser des transistors de remontage et de refoulement beaucoup plus petits à la place d'un transistor unique de remontage et d'un transistor unique de refoulement qui devraient autrement posséder des dimensions beaucoup plus grandes afin de satisfaire aux exigences de vitesse de la charge à vitesse élevée (72) et de charger la capacité élevée de la charge à faible vitesse (74). La consommation de puissance se trouve en outre sensiblement réduite à la suite de la réduction de la surface des transistors.

IPC 1-7

H03K 19/094; H03K 17/693; H03K 19/20

IPC 8 full level

H03K 19/017 (2006.01); H03K 19/0944 (2006.01)

CPC (source: EP)

H03K 19/017 (2013.01); H03K 19/09445 (2013.01)

Designated contracting state (EPC)

AT CH DE FR GB LI LU NL SE

DOCDB simple family (publication)

WO 8204364 A1 19821209; EP 0079884 A1 19830601

DOCDB simple family (application)

US 8100698 W 19810526; EP 81901777 A 19810526