

Title (en)
PLANE TRANSISTOR STRUCTURE.

Title (de)
PLANARE TRANSISTORSTRUKTUR.

Title (fr)
STRUCTURE DE TRANSISTOR PLANE.

Publication
EP 0092550 A1 19831102 (DE)

Application
EP 82902668 A 19820903

Priority
DE 3142616 A 19811028

Abstract (en)
[origin: WO8301709A1] The structure comprises a collector area in a semiconductor chip (10) with a conductivity n^- and a base area (11) diffused on the main surface of the chip (10) and having a p-type conductivity. It comprises a transmitter area diffused in the base area (11) of n^+ type conductivity and a passivation layer (13). This layer covers the portion of the main surface of the chip (10) which is not used as a contact window. A first ring-shaped area (14) is diffused around the base area (11) in the main surface of the ship. It has a p-type conductivity. A second area of n^+ conductivity is diffused around the ring-shaped area (14) in the main surface of the chip (10). It acts as a stop ring (15). On the passivation layer (13), there is deposited a metal layer (D) which works as a cover electrode, surrounds the base area (11) by forming a ring, overlaps the edge of the base area (11), extends up to above the second annular area (15) and comes in contact in the first area (14) with said area (14). The potential of the first ring area (14) and therefore the potential of the cover electrode (D) is thus fixed so as to be comprised between the potential of the base area (11) and the potential of the semiconductor ship (10) forming the collector area.

Abstract (fr)
La structure comprend une zone collectrice dans une plaquette (10) semiconductrice avec une conductivité n^- et une zone de base (11) diffusée sur la surface principale de la plaquette (10) et ayant une conductivité de type p. Elle comprend une zone émettrice diffusée dans la zone de base (11) de conductivité du type n^+ et une couche de passivation (13). Cette dernière recouvre la partie de la surface principale de la plaquette (10) qui n'est pas utilisée comme fenêtre de contact. Une première zone en forme d'anneau (14) est diffusée autour de la zone de base (11) dans la surface principale de la plaquette. Elle a une conductivité du type p. Une deuxième zone de type de conductivité n^+ est diffusée autour de la zone en anneau (14) dans la surface principale de la plaquette (10). Elle joue le rôle d'anneau d'arrêt (15). Sur la couche de passivation (13) on dépose une couche métallique (D) qui fonctionne comme électrode de couverture, entoure la zone de base (11) en formant un anneau, chevauche le bord de la zone de base (11), s'étend jusqu'au dessus de la deuxième zone annulaire (15) et entre en contact dans la première zone (14) avec cette zone (14). Le potentiel de la première zone en anneau (14) et par conséquent le potentiel de l'électrode de couverture (D) est ainsi fixé de manière à être situé entre le potentiel de la zone de base (11) et le potentiel de la plaquette semiconductrice (10) constituant la zone collectrice.

IPC 1-7
H01L 29/06

IPC 8 full level
H01L 29/06 (2006.01); **H01L 29/40** (2006.01)

CPC (source: EP)
H01L 29/0619 (2013.01); **H01L 29/402** (2013.01)

Designated contracting state (EPC)
AT BE CH DE FR GB LI LU NL SE

DOCDB simple family (publication)
WO 8301709 A1 19830511; DE 3142616 A1 19830505; EP 0092550 A1 19831102; IT 1153589 B 19870114; IT 8223923 A0 19821026

DOCDB simple family (application)
DE 8200174 W 19820903; DE 3142616 A 19811028; EP 82902668 A 19820903; IT 2392382 A 19821026