

Title (en)
METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE.

Title (de)
HERSTELLUNGSVERFAHREN FÜR HALBLEITERVORRICHTUNGEN.

Title (fr)
PROCEDE DE FABRICATION D'UN DISPOSITIF A SEMI-CONDUCTEURS.

Publication
EP 0110956 A1 19840620 (EN)

Application
EP 83902037 A 19830513

Priority
US 38379482 A 19820601

Abstract (en)
[origin: GB2121235A] A method for manufacturing an IGFET device which provides IGFETs having extremely shallow source (24) and drain (25) regions and reduced gate to source and drain overlap capacitances. For silicon MOS devices, the method also provides for the formation of metal silicide layers (33) on polysilicon gate electrodes (18) and interconnection paths and the source and drain regions in the same fabrication step. Source and drain regions are formed by oxidation of an arsenic doped polysilicon source layer (17) formed to be in contact with areas in the silicon surface in which such regions are to be formed. The thickness of the source layer and the conditions of oxidation are such that the rate of oxidation of the source layer exceeds the rate at which arsenic diffuses in the silicon at the oxidation temperature and that during the oxidation time, the arsenic in the source layer diffuses into the silicon to form extremely shallow source and drain regions.

Abstract (fr)
Procédé de fabrication d'un dispositif à IGFET permettant d'obtenir des IGFETs présentant des régions de source (24) et de drain (25) de profondeur extrêmement faible ainsi que des capacitances réduites de chevauchement entre la porte et la source et le drain. Dans le cas de dispositif MOS au silicium, le procédé permet également de former des couches de siliciure métallique (33) sur des électrodes de porte de polysilicium (18), sur les chemins d'interconnexion et sur les régions de source et de drain pendant la même étape de fabrication. Des régions de source et de drain sont formées par oxydation d'une couche de source de polysilicium (17) dopée à l'arsenic formée de manière à être en contact avec les zones de la surface du silicium où ces régions doivent être formées. L'épaisseur de la couche de source et les conditions d'oxydation sont telles que la vitesse d'oxydation de la couche de source dépasse la vitesse à laquelle l'arsenic se diffuse dans le silicium à la température d'oxydation et que pendant le temps d'oxydation l'arsenic dans la couche de source se diffuse dans le silicium pour former des régions de source et de drain d'une profondeur extrêmement réduite.

IPC 1-7
H01L 21/225; **H01L 21/265**; **H01L 21/283**

IPC 8 full level
H01L 21/033 (2006.01); **H01L 21/225** (2006.01); **H01L 21/336** (2006.01)

CPC (source: EP)
H01L 21/0337 (2013.01); **H01L 21/2257** (2013.01); **H01L 29/66575** (2013.01)

Designated contracting state (EPC)
DE FR NL

DOCDB simple family (publication)
GB 2121235 A 19831214; **GB 2121235 B 19860319**; **GB 8314946 D0 19830706**; CA 1198226 A 19851217; EP 0110956 A1 19840620; EP 0110956 A4 19840703; WO 8304342 A1 19831208

DOCDB simple family (application)
GB 8314946 A 19830531; CA 427418 A 19830504; EP 83902037 A 19830513; US 8300731 W 19830513