

Title (en)

CMOS INTEGRATED CIRCUIT WITH GUARD BANDS FOR LATCH-UP PROTECTION.

Title (de)

CMOS INTEGRIERTE SCHALTUNG MIT SCHUTZBÄNDERN FÜR "LATCH-UP"-SCHUTZ.

Title (fr)

CIRCUIT INTEGRE CMOS AVEC BANDES DE PROTECTION POUR ASSURER UNE PROTECTION CONTRE LES VERROUILLAGES.

Publication

EP 0119260 A1 19840926 (EN)

Application

EP 83903252 A 19830919

Priority

US 42011582 A 19820920

Abstract (en)

[origin: WO8401241A1] Latch-up in bulk CMOS integrated circuits, caused by a parasitic pnp and npn transistors, is prevented by use of p-plus (42) and n-plus (44) guard bands which are juxtapositioned and connected to a common power supply (Vdd).

Abstract (fr)

Le verrouillage dans les circuits intégrés CMOS en masse, provoqué par des transistors parasites pnp et npn, est empêché en utilisant des bandes de protection p-plus (42) et n-plus (44) qui sont juxtaposées et connectées à une alimentation de puissance commune (Vdd).

IPC 1-7

H01L 27/02

IPC 8 full level

H01L 27/08 (2006.01); **H01L 29/78** (2006.01); **H01L 27/092** (2006.01); **H01L 29/06** (2006.01)

CPC (source: EP)

H01L 27/0921 (2013.01); **H01L 29/0638** (2013.01)

Designated contracting state (EPC)

CH DE FR GB LI NL SE

DOCDB simple family (publication)

WO 8401241 A1 19840329; EP 0119260 A1 19840926; EP 0119260 A4 19851001; IT 1234924 B 19920602; IT 8322918 A0 19830919; JP S59501766 A 19841018

DOCDB simple family (application)

US 8301420 W 19830919; EP 83903252 A 19830919; IT 2291883 A 19830919; JP 50322083 A 19830919