

Title (en)  
High resolution time generator.

Title (de)  
Zeitgeber mit hoher Auflösung.

Title (fr)  
Générateur de temps à grande résolution.

Publication  
**EP 0123791 A2 19841107 (DE)**

Application  
**EP 84100832 A 19840126**

Priority  
DE 3303662 A 19830203

Abstract (en)  
A time generator having a high resolution, eg. a resolution of 1  $\mu$ sec, is implemented using a counting device which counts the counter pulses delivered by an oscillator. The counting device consists of a first counter part for the lower-order counting positions, which is implemented using fast circuit technology, eg. TTL technology, and of a second counter part, which is implemented in a slower circuit technology, eg. MOS technology. The counter pulse (S1) is supplied to the first counter part (ZA1) from the oscillator (OS). If a carry occurs, this is communicated to the second counter part, which consists of a microprocessor (MP). The latter then increases by one unit a counter consisting of an internal counter and internal register. A synchronously occurring but phase-shifted transfer clock pulse (S2), which can be used to transfer the content of the first counter part (ZA1) into an intermediate register, is obtained from the counter pulse (S1). Upon application of a timing request (REQ) from a load, the microprocessor (MP) reads in the contents of the intermediate register in the first counter part (ZA1) and passes this, together with the contents of the internal counter part, to a buffer store (PF), from which the load can retrieve the counting result with a readout pulse (AT). <IMAGE>

Abstract (de)  
Ein Zeitgeber mit hoher Auflösung, z.B. eine Auflösung von 1  $\mu$ sec, wird unter Verwendung einer Zähleinrichtung realisiert, die die von einem Oszillator gelieferten Zählakte zählt. Die Zähleinrichtung besteht aus einem ersten Zählerteil für die niederwertigeren Zählstellen, die in einer schnellen Schaltungstechnik, z.B. TTL Technik, realisiert ist und aus einem zweiten Zählerteil, der in einer langsameren Schaltungstechnik, z.B. MOS Technik, realisiert ist. Dem ersten Zählerteil (ZA1) wird der Zähltakt (S1) vom Oszillator (OS) zugeführt. Tritt ein Übertrag auf, wird dies dem zweiten Zählerteil, der aus einem Mikroprozessor (MP) besteht, mitgeteilt. Dieser erhöht dann einen aus einem internen Zähler und internen Register bestehenden Zähler um eine Einheit. Aus dem Zähltakt (S1) wird ein synchron auftretender, aber phasenverschobener Übernahmetakt (S2), gewonnen, der dazu verwendet werden kann, um den Inhalt des ersten Zählerteils (ZA1) in ein Zwischenregister zu übertragen. Bei Anlegen einer Zeitnahmeanforderung (REQ) von einem Verbraucher liest der Mikroprozessor (MP) den Inhalt des Zwischenregisters im ersten Zählerteil (ZA1) ein und gibt diesen zusammen mit dem Inhalt des internen Zählerteils an einen Pufferspeicher (PF), von dem der Verbrauch das Zählergebnis mit einem Auslesetakt (AT) abholen kann.

IPC 1-7  
**G04G 3/00**; **G06F 3/00**

IPC 8 full level  
**G04G 3/00** (2006.01); **G04G 99/00** (2010.01)

CPC (source: EP)  
**G04G 3/00** (2013.01); **G04G 99/006** (2013.01)

Designated contracting state (EPC)  
AT CH DE FR IT LI

DOCDB simple family (publication)  
**DE 3303662 A1 19840809**; EP 0123791 A2 19841107; EP 0123791 A3 19870401

DOCDB simple family (application)  
**DE 3303662 A 19830203**; EP 84100832 A 19840126