

Title (en)
VLSI CHIP WITH INTEGRAL TESTING CIRCUIT.

Title (de)
VLSI CHIP MIT EINGEBAUTER TESTSCHALTUNG.

Title (fr)
PUCE A INTEGRATION TRES POUSSEE COMPORTANT UN CIRCUIT DE TEST.

Publication
EP 0130974 A1 19850116 (EN)

Application
EP 83900478 A 19821227

Priority
US 8201819 W 19821227

Abstract (en)
[origin: WO8402580A1] A VLSI integrated circuit chip (10) includes integral test circuitry formed on the chip. The test circuitry includes a shift register (20) comprising a plurality of latches located adjacent the input/output pads (14) of the chip (10). Control circuitry (18) is included which causes test data to be serially entered into the shift register (20) and then clocked into the internal circuit (12) of the chip (10) in order to test the chip operation. The output signals generated by the internal circuit (12) in response to the test signals are transferred to the shift register (20). The contents of the shift register (20) are then serially shifted out of the device and may be compared with desired results in order to determine whether or not the chip (10) is operating properly. The inclusion of the circuitry greatly reduces the number of pads (14) which must be contacted to test the chip (10).

Abstract (fr)
Une puce de circuit intégré VLSI (very large scale integration) (10) comprend un circuit de test formé dans la puce. Ce circuit de test comprend un registre à décalage (20) comprenant une pluralité de bascules disposées à proximité des bornes d'entrée/sortie (14) de la puce (10). Un circuit de commande (18) permet à des données de test d'être introduites de manière sérielle dans le registre à décalage (20) pour être ensuite introduites à la fréquence d'horloge dans le circuit interne (12) de la puce (10) pour en vérifier le fonctionnement. Les signaux de sortie produits par le circuit interne (12) en réponse aux signaux de test sont transférés dans le registre à décalage (20). Le contenu du registre à décalage (20) est ensuite extrait du dispositif par décalage sériel et peut être comparé aux résultats désirés afin de déterminer si la puce (10) fonctionne correctement. L'inclusion de ce circuit permet de réduire considérablement le nombre de bornes (14) qui doivent être mises en contact pour vérifier le fonctionnement de la puce (10).

IPC 1-7
G01R 15/12

IPC 8 full level
G01R 31/3185 (2006.01)

CPC (source: EP)
G01R 31/318538 (2013.01)

Designated contracting state (EPC)
AT BE CH DE FR GB LI LU NL SE

DOCDB simple family (publication)
WO 8402580 A1 19840705; EP 0130974 A1 19850116

DOCDB simple family (application)
US 8201819 W 19821227; EP 83900478 A 19821227