

Title (en)
MULTI-COMPUTER COMPUTER ARCHITECTURE.

Title (de)
MEHRRECHNERARCHITEKTUR.

Title (fr)
SYSTEME D'ORDINATEUR A PROCESSEUR MULTIPLE.

Publication
EP 0139727 A1 19850508 (EN)

Application
EP 84901711 A 19840412

Priority
US 48556983 A 19830415

Abstract (en)
[origin: WO8404190A1] A multi-computer computer architecture that provides a plurality of specialized function, independent asynchronous parallel processors (11-14). Each processor has a discrete and independent operating system; the processors are interconnected for transparent interprocessor communication at an operating system level across an asynchronous parallel bus (10). Each of said processors includes a central processing unit (18) and a memory storage (17). The processors pass messages to each other by placing the message in a receiving processor's memory store. The receiving processor is notified of the presence of the message by a doorbell interrupt, received from the message passing processor. The individual processors are intercoupled via a plurality of connecting slots, said slots defining an enclosure (15) which forms an independent, functional multi-computer unit. A plurality of enclosures (15, 16) may be transparently interconnected to define a multi-computer system. In this way, a computer architecture is provided that is expandable from a minicomputer configuration to a large main frame configuration as application and use requires.

Abstract (fr)
Un système d'ordinateur à processeur multiple comprend plusieurs processeurs parallèles asynchrones indépendants à fonction spécialisée (11-14). Chaque processeur possède un système de fonctionnement discret et indépendant; les processeurs sont interconnectés pour assurer une communication transparente entre les processeurs à un niveau de fonctionnement sur un bus parallèle et asynchrone (10). Chacun des processeurs comprend une unité centrale de traitement (18) et une mémoire (17). Les processeurs s'envoient des messages en les plaçant dans une mémoire du processeur qui les reçoit. Le processeur de réception est notifié de la présence du message par un signal d'interruption "sonnette de porte" reçu du processeur transmettant le message. Les processeurs sont couplés entre eux par l'intermédiaire de plusieurs fentes de connexion qui définissent une enceinte (15) laquelle forme une unité à ordinateur multiple indépendante, fonctionnelle. Une pluralité d'enceintes (15, 16) peuvent être interconnectées de manière transparente pour définir un système à ordinateur multiple. De cette manière, le système d'ordinateur obtenu peut être étendu à partir d'un système de mini-ordinateur jusqu'à obtenir une grande unité centrale en fonction de l'application et de l'utilisation.

IPC 1-7
G06F 15/16

IPC 8 full level
G06F 15/17 (2006.01)

CPC (source: EP)
G06F 15/17 (2013.01)

Designated contracting state (EPC)
AT BE CH DE FR GB LI LU NL SE

DOCDB simple family (publication)
WO 8404190 A1 19841025; EP 0139727 A1 19850508

DOCDB simple family (application)
US 8400557 W 19840412; EP 84901711 A 19840412