

Title (en)
CLOCK STRETCHING CIRCUITRY.

Title (de)
TAKTDEHNUNGSSCHALTKREIS.

Title (fr)
CIRCUIT D'ALLONGEMENT DE SIGNAUX D'HORLOGE.

Publication
EP 0139743 A1 19850508 (EN)

Application
EP 84901859 A 19840412

Priority
US 48474183 A 19830414

Abstract (en)
[origin: WO8404184A1] In a data processing system (10) which includes a central processing unit (22) capable of operating at a higher speed than memory device (20) associated therewith, method and apparatus provide for sensing and correcting errors generated in the memory device, particularly as a result of operation of the memory at speeds approaching design limits wherein errors may be introduced into the data. Specifically, clock stretching circuitry includes circuitry (36) which operate the central processing unit at a preselected clock rate, circuitry (42, 44, 46) which senses for data errors and circuitry (38) which introduces delays in the clocking of the central processing unit only in the presence of indicated data errors. The clock stretching interval permits error correcting circuitry (48) to correct identified bit errors in the data before the central processing unit accesses the data.

Abstract (fr)
Dans un système de traitement de données (10) qui comprend une unité centrale de traitement (22) pouvant fonctionner à une vitesse supérieure à celle d'un dispositif de mémorisation (20) associé à l'unité, un procédé et un appareil permettent de détecter et de corriger des erreurs produites dans le dispositif de mémorisation, en particulier dues au fonctionnement de la mémoire à des vitesses approchant les valeurs limites calculées, où des erreurs peuvent être introduites dans les données. En particulier, le circuit d'allongement de signaux d'horloge comprend un circuit (36) assurant le fonctionnement de l'unité centrale de traitement à une fréquence de base présélectionnée, un circuit (42, 44, 46) qui détecte des erreurs de données et un circuit (38) qui introduit des temporisations dans la synchronisation de l'unité centrale de traitement uniquement en présence des erreurs de données indiquées. L'intervalle d'allongement d'horloge permet au circuit de correction d'erreurs (48) de corriger des erreurs de bits identifiés dans les données avant que l'unité centrale de traitement n'ait accès aux données.

IPC 1-7
G06F 1/04; G06F 11/00; G06F 11/10; G06F 13/00

IPC 8 full level
G06F 11/10 (2006.01)

CPC (source: EP)
G06F 1/04 (2013.01); **G06F 11/10** (2013.01)

Designated contracting state (EPC)
AT BE CH DE FR GB LI LU NL SE

DOCDB simple family (publication)
WO 8404184 A1 19841025; EP 0139743 A1 19850508

DOCDB simple family (application)
US 8400558 W 19840412; EP 84901859 A 19840412