

Title (en)

CMOS INTEGRATED CIRCUIT CONFIGURATION FOR ELIMINATING LATCHUP.

Title (de)

CMOS-INTEGRIERTE SCHALTUNGSANORDNUNG ZUR AUSSCHALTUNG DES "LATCH-UP"-EFFEKTES.

Title (fr)

CONFIGURATION DE CIRCUIT INTEGRE CMOS PERMETTANT D'ELIMINER LE BLOCAGE.

Publication

EP 0160077 A1 19851106 (EN)

Application

EP 84904041 A 19841022

Priority

US 54754983 A 19831031

Abstract (en)

[origin: WO8502062A1] An improved configuration for CMOS circuits which reduces the sensitivity to latchup. The configuration provides guard rings of P+ material (80, 81) and N+ material (82, 83) around the N channel and P channel transistors, respectively, of the input/output circuits (50, 51) of a CMOS chip. Elsewhere on the chip, a guard strip of P+ material (75-79) is placed adjacent to each contiguous group of N channel transistors, and a guard strip of N+ material (70-74) is placed adjacent to each contiguous group of P channel transistors. All of the P+ guard rings and guard strips are connected to the negative operating potential of the chip and all the N+ guard rings and guard strips are connected to the positive operating potential of the chip.

Abstract (fr)

Configuration améliorée pour circuits CMOS, réduisant la sensibilité au blocage. Cette configuration présente des anneaux de protection en matériau P+ (80, 81) et en matériau N+ (82, 83) autour des transistors à canal N et à canal P, respectivement, des circuits d'entrée/sortie (50, 51) d'une puce CMOS. A un autre endroit sur la puce, une bande de protection en matériau P+ (75-79) est placée à proximité de chaque groupe contigu de transistors de canal N, et une bande de protection en matériau N+ (70-74) est placée à proximité de chaque groupe contigu de transistors de canal P. Tous les anneaux de protection et toutes les bandes de protection en matériau P+ sont reliés au potentiel négatif de fonctionnement de la puce et tous les anneaux de protection et toutes les bandes de protection en matériau N+ sont reliés au potentiel positif de fonctionnement de la puce.

IPC 1-7

H01L 29/78; **H01L 27/04**

IPC 8 full level

H01L 27/092 (2006.01); **H01L 27/118** (2006.01); **H01L 29/06** (2006.01)

CPC (source: EP)

H01L 27/0921 (2013.01); **H01L 27/11898** (2013.01); **H01L 29/0638** (2013.01)

Citation (search report)

See references of WO 8502062A1

Designated contracting state (EPC)

DE FR GB

DOCDB simple family (publication)

WO 8502062 A1 19850509; EP 0160077 A1 19851106

DOCDB simple family (application)

US 8401708 W 19841022; EP 84904041 A 19841022