

Title (en)

APPARATUS FOR CONTROLLING WRITING AND READING IN RELATION TO GRAPHIC MEMORY.

Title (de)

VORRICHTUNG ZUR STEUERUNG DES SCHREIBENS UND DES LESENS FÜR EIN GRAPHISCHES GEDÄCHTNIS.

Title (fr)

APPAREIL DE COMMANDE D'ECRITURE ET DE LECTURE EN RELATION A UNE MEMOIRE GRAPHIQUE.

Publication

EP 0161319 A1 19851121 (EN)

Application

EP 84903820 A 19841022

Priority

JP 19957183 A 19831025

Abstract (en)

The controller includes a CPU (8) connected to two buses (9 and 11). Red, green and blue memories (1R, 1G, 1B) each constituted by 8 N-bit RAMs (20-27) are connected to the first bus. The memories are also connected to the second via a RAM selector (12) connected to an address decoder (13). They are further connected to a multiplexer (6) and to output terminals (7) via 8-bit shift registers (3). The lower three bits of CPU output on the 2nd bus (11) go to the selector and the rest go to the multiplexer. The first bus output specifies signals to be stored in RAM regions, and then 8 bits at a time of red, green and blue memory contents are read.

Abstract (fr)

Appareil de commande d'écriture de lecture en relation à des mémoires graphiques (1R, 1G, 1B) pour un écran rouge, un écran vert et un écran bleu, respectivement, chacune des mémoires graphiques ayant une capacité de N x M bits. L'appareil fonctionne de manière que les données sont écrites dans les mémoires graphiques (1R, 1G, 1B) bit par bit et sont lues et extraites des mémoires dans des unités de M bits. L'appareil est capable de modifier un bit par cycle d'une unité centrale de traitement (CPU) (8) avec un nombre réduit d'éléments machine. Chacune des mémoires graphiques (1R, 1G, 1B) est constituée par un groupe RAM de sortie à M-bits consistant en des RAMs (20 à 27) de sortie à M 1-bits, ayant chacune une capacité de 1 x N bits. En outre, le même volume d'adresses est affecté aux mémoires graphiques (1R, 1G, 1B), et des lignes de données 1-bit d'un bus de données (9) de l'unité centrale CPU (8) sont connectées respectivement à toutes les RAMs (20 à 27) dans chacune des mémoires graphiques (1R, 1G, 1B). L'écriture des données qui s'effectue bit par bit est mise en oeuvre de manière qu'un bit de chacune des RAMs (20 à 27) dans chacune des mémoires graphiques (1R, 1G, 1B) est spécifié par les adresses du CPU, et un signal d'écriture est envoyé aux M RAMs (20 à 27) désirées avec une partie de l'adresse CPU.

IPC 1-7

G09G 1/28; **G09G 1/02**

IPC 8 full level

G09G 5/00 (2006.01); **G09G 5/02** (2006.01); **G09G 5/04** (2006.01)

CPC (source: EP)

G09G 5/022 (2013.01)

Designated contracting state (EPC)

DE FR GB

DOCDB simple family (publication)

WO 8502050 A1 19850509; DE 3480363 D1 19891207; EP 0161319 A1 19851121; EP 0161319 A4 19860402; EP 0161319 B1 19891102; JP S6090387 A 19850521

DOCDB simple family (application)

JP 8400503 W 19841022; DE 3480363 T 19841022; EP 84903820 A 19841022; JP 19957183 A 19831025