

Title (en)  
COMPUTER PROCESSOR CONTROLLER.

Title (de)  
RECHNERPROZESSOR-STEUERGERÄT.

Title (fr)  
CONTROLEUR DE PROCESSEUR D'ORDINATEUR.

Publication  
**EP 0164414 A1 19851218 (EN)**

Application  
**EP 85900389 A 19841210**

Priority  
US 56075983 A 19831212

Abstract (en)  
[origin: WO8502698A1] A processor controller (40) for use in a fault-tolerant computer having redundant processors (30 and 32) executing identical programs. Although the programs are identical, the processors will execute instructions at different rates since, for example, the processors are not permitted to access their common bus (36) at the same actual time. The controller receives interrupt signals (42) intended for the processors and presents them to the respective processors at the same position within the program. The controller monitors the position of each processor in its execution of the program, typically by counting addressed strobe signals. In one embodiment, the processor most advanced in the program is halted by the controller until the lagging processor catches up. At that time, the interrupts are simultaneously presented to the processors, and the processors are released. In a second embodiment, the interrupt is forwarded to the leading processor immediately, and the location of the processor in the program is stored. The leading processor then services the interrupt and proceeds in the program. When the lagging processor advances to the same position in the program, it is also notified of the interrupt. The subject controller permits the use of commercially-available application programs with no special modification.

Abstract (fr)  
Contrôleur de processeur (40) à utiliser dans un ordinateur insensible aux défaillances (Fig. 1) possédant des processeurs redondants (30 et 32) et exécutant des programmes identiques. Malgré le fait que les programmes sont identiques, les processeurs exécutent les instructions à des vitesses différentes puisque les processeurs ne sont par exemple pas autorisés à accéder à leur bus commun (36) au même moment effectif. Le contrôleur reçoit des signaux d'interruption (42) destinés aux processeurs et les présente aux processeurs respectifs à la même position dans le programme. Le contrôleur surveille la position de chaque processeur pendant son exécution du programme, d'une manière typique en comptant les signaux d'échantillonnage d'adresses. Dans un mode de réalisation, le processeur le plus avancé dans le programme est arrêté par le contrôleur jusqu'à ce qu'il soit rattrapé par le processeur en retard. A ce moment là, les interruptions sont présentées simultanément aux processeurs qui sont libérés. Dans un second mode de réalisation, l'interruption est transmise immédiatement aux processeurs en avance et la situation du processeur dans le programme est stockée. Le processeur en avance utilise ensuite l'interruption et poursuit le programme. Lorsque le processeur en retard arrive à la même position dans le programme, il reçoit également notification de l'interruption. Ce contrôleur permet l'utilisation de programmes d'applications disponibles commercialement sans modification spéciale.

IPC 1-7  
**G06F 15/16**; **G06F 11/20**; **G06F 11/16**

IPC 8 full level  
**G06F 11/16** (2006.01)

CPC (source: EP)  
**G06F 11/1687** (2013.01)

Designated contracting state (EPC)  
AT BE CH DE FR GB LI LU NL SE

DOCDB simple family (publication)  
**WO 8502698 A1 19850620**; AU 3746585 A 19850626; EP 0164414 A1 19851218; EP 0164414 A4 19860605

DOCDB simple family (application)  
**US 8402011 W 19841210**; AU 3746585 A 19841210; EP 85900389 A 19841210