

Title (en)
METHOD AND APPARATUS FOR A BIT FIELD INSTRUCTION.

Title (de)
VERFAHREN UND GERÄT FÜR EINEN BITFELDBEFEHL.

Title (fr)
PROCEDE ET APPAREIL POUR INSTRUCTIONS DE ZONE BINAIRE.

Publication
EP 0187762 A1 19860723 (EN)

Application
EP 85902326 A 19850422

Priority
US 62506384 A 19840627

Abstract (en)
[origin: WO8600433A1] In a data processor (10) bit fields are used advantageously for efficient use for memory. A bit field instruction is used which can handle bit field widths which are as great as the width of the internal bus of the data processor. In the example explained the internal bus (16) is 32 bits. Furthermore then, the bit field instruction can not only handle bit fields which are contained in 4 bytes or less, but also 5 bytes even though the bus is only 4 bytes wide. This is achieved by accessing four bytes and manipulating it with a switch (401) which has selectable start and end points and with a barrel shifter (402) which has a selectable shift. The portion of the bit field in the remaining fifth byte is also manipulated by the switch (401) and the barrel shifter (402). The end, start, and shift values are derived from offset and width characteristics of the bit field. These two bit field portions are merged to a proper 32 bit format.

Abstract (fr)
Dans un processeur de données (10), des zones binaires sont utilisées avec avantage pour rendre possible une utilisation efficace de la mémoire. On utilise une instruction de zone binaire qui peut prendre des zones binaires d'une longueur aussi grande que celle du bus intérieur du processeur de données. Dans l'exemple exposé, le bus intérieur (16) a une longueur de 32 bits. L'instruction de zone binaire peut ainsi prendre en charge non seulement des zones binaires contenues en quatre octets ou moins, mais aussi en cinq octets, même si le bus n'a que quatre octets de longueur. Ceci est atteint en sollicitant quatre octets et en les manipulant avec un commutateur (401) ayant des points de début et de fin réglables et un dispositif de décalage à tambour (402) avec décalage réglable. La partie de la zone binaire dans le cinquième octet restant est également manipulée par le commutateur (401) et le dispositif de décalage à tambour (402). Les valeurs de fin, de début et de décalage dérivent des caractéristiques de décalage et de longueur de la zone binaire. Ces deux parties de zone binaire sont fondues pour créer un format adéquat à 32 bits.

IPC 1-7
G06F 5/00

IPC 8 full level
G06F 9/22 (2006.01); **G06F 9/305** (2006.01); **G06F 9/308** (2006.01); **G06F 9/34** (2006.01)

CPC (source: EP KR US)
G06F 5/00 (2013.01 - KR); **G06F 9/30018** (2013.01 - EP KR US)

Designated contracting state (EPC)
DE FR GB IT NL

DOCDB simple family (publication)
WO 8600433 A1 19860116; EP 0187762 A1 19860723; EP 0187762 A4 19871019; JP S61502566 A 19861106; KR 860700163 A 19860331

DOCDB simple family (application)
US 8500719 W 19850422; EP 85902326 A 19850422; JP 50196585 A 19850422; KR 860700118 A 19860226