

Title (en)

Virtual image memory for multiple windowing.

Title (de)

Virtuelle Bildspeicherschaltung für vielfache Bildfenster.

Title (fr)

Circuit de mémoire d'image virtuelle permettant le multifenêtrage.

Publication

EP 0202166 A1 19861120 (FR)

Application

EP 86401008 A 19860512

Priority

FR 8507412 A 19850515

Abstract (en)

[origin: US4815010A] A virtual memory image controller for multi-windowing, comprises a bidimensional image memory organized in N elementary blocks, N being an integer, the blocks being of fixed size and rectangular, a random access read/write memory containing a sequence of N pointers, each pointer noting the beginning address of a block in the image memory, a video signal generator delivering a video signal corresponding to the contents of n blocks of the image memory, NSN, for the display on a screen of the image composed of n blocks organized in a matrix, the blocks being addressed by the video generator via a table of indirection, an interface for read/write accesses to the image memory, the accesses being made via the indirection table, the controller comprising also a data bus, an address bus, a command bus, and a sequencer.

Abstract (fr)

Circuit de mémoire d'image virtuelle permettant le multifenêtrage. Il comprend une mémoire d'image (4) bidimensionnelle organisée en N pavés élémentaires où N est un nombre entier, lesdits pavés étant rectangulaires et identiques, une table d'indirection (6) constituée d'une mémoire vive contenant une suite de N pointeurs, chaque pointeur notant l'adresse de début d'un pavé de la mémoire d'image, un générateur vidéo (10) pour délivrer un signal vidéo correspondant au contenu de n pavés de la mémoire d'image, où $n \leq N$, pour l'affichage sur un écran d'une image composée des n pavés organisés en matrice, l'adressage desdits pavés étant effectué par le générateur vidéo à travers la table d'indirection, une interface (12) pour accéder en lecture ou en écriture à la mémoire d'image et à la table d'indirection, l'adressage de la mémoire étant effectué à travers la table d'indirection, le circuit comprenant en outre des bus de données, d'adresse et de commande et un moyen de séquençement.

IPC 1-7

G09G 1/00

IPC 8 full level

G06F 12/02 (2006.01); **G09G 1/16** (2006.01); **G09G 5/00** (2006.01); **G09G 5/14** (2006.01); **G09G 5/39** (2006.01)

CPC (source: EP US)

G09G 5/14 (2013.01 - EP US)

Citation (search report)

[A] FR 2535497 A1 19840504 - CADTRAK CORP [US]

Cited by

EP0534139A3; US5477242A; EP0617400A3

Designated contracting state (EPC)

DE GB

DOCDB simple family (publication)

EP 0202166 A1 19861120; **EP 0202166 B1 19901031**; DE 3675253 D1 19901206; FR 2582132 A1 19861121; FR 2582132 B1 19870717; JP H079570 B2 19950201; JP S62222289 A 19870930; US 4815010 A 19890321

DOCDB simple family (application)

EP 86401008 A 19860512; DE 3675253 T 19860512; FR 8507412 A 19850515; JP 10971186 A 19860515; US 86278086 A 19860513