

Title (en)  
LOGIC CIRCUIT WITH FREQUENCY DIVIDER APPLICATION.

Title (de)  
LOGISCHE SCHALTUNG FÜR FREQUENZTEILERANWENDUNG.

Title (fr)  
CIRCUIT LOGIQUE POUR APPLICATION DANS LES DIVISEURS DE FREQUENCE.

Publication  
**EP 0202288 A1 19861126 (EN)**

Application  
**EP 85905850 A 19851106**

Priority  
GB 8428092 A 19841107

Abstract (en)  
[origin: WO8603078A1] A logic circuit for use in a variable frequency divider (8) includes a driver (T1, T2), a latch (T3, T4), and an enabling switch (T5, T6) each comprising a pair of emitter coupled transistors. The driver (T1, T2) is coupled to the latch (T3, T4), and the emitters of the transistors of the enabling switch (T5, T6) are coupled to a current source (T9). A collector of each of the transistors of the enabling switch (T5, T6) is coupled to a respective pair of emitters of the latch or the driver. The collector of one of the transistors (T6) of the enabling switch (T5, T6) is coupled to the emitters of either the driver (T1, T2) or the latch (T1, T4) via a control switch (6), or the control switch (6) is coupled between the driver (T1, T2) and the current source (T9). The control switch (6) enables the elimination of external gating arrangements in variable frequency dividers. A variable frequency divider (8) may be constructed from one or more of the logic circuits in combination with one or more flip-flops. The division ratio of the variable frequency divider can be varied in dependence upon a signal (X1) applied to the control switch (6).

Abstract (fr)  
Un circuit logique utilisé dans un diviseur de fréquences variables (8) comporte un circuit d'attaque (T1, T2), un verrou (T3, T4), et un commutateur de validation (T5, T6), chacun comprenant une paire de transistors couplés à des émetteurs. Le circuit d'attaque (T1, T2) est couplé au verrou (T3, T4), les émetteurs des transistors du commutateur de validation (T5, T6) étant couplés à une source de courant (T9). Un collecteur de chacun des transistors du commutateur de validation (T5, T6) est couplé à une paire respective d'émetteurs du verrou ou du circuit d'attaque. Le collecteur de l'un des transistors (T6) du commutateur de validation (T5, T6) est couplé aux émetteurs soit du circuit d'attaque (T1, T2) soit du verrou (T1, T4) par l'intermédiaire d'un commutateur de commande (6), ou encore ce dernier est couplé entre le circuit d'attaque (T1, T2) et la source de courant (T9). Le commutateur de commande (6) permet d'éliminer les dispositifs externes de déclenchement dans les diviseurs de fréquences variables. Un diviseur de fréquences variables (8) peut être constitué d'un ou plusieurs circuits logiques combinés à une ou plusieurs bascules. Il est possible de faire varier le rapport de division du diviseur de fréquences variables en fonction de l'application d'un signal (X1) au commutateur de commande (6).

IPC 1-7  
**H03K 3/00**; **H03K 23/00**

IPC 8 full level  
**H03K 3/286** (2006.01); **H03K 3/2885** (2006.01); **H03K 23/66** (2006.01)

CPC (source: EP)  
**H03K 3/2885** (2013.01); **H03K 23/667** (2013.01)

Citation (search report)  
See references of WO 8603078A1

Designated contracting state (EPC)  
DE FR GB NL

DOCDB simple family (publication)  
**WO 8603078 A1 19860522**; EP 0202288 A1 19861126; GB 8428092 D0 19841212; JP S62501322 A 19870521

DOCDB simple family (application)  
**GB 8500505 W 19851106**; EP 85905850 A 19851106; GB 8428092 A 19841107; JP 50509585 A 19851106