

Title (en)

Method for transmitting data with a possibility for packet error correction, and coding and decoding apparatus for carrying out said method.

Title (de)

Verfahren zur Datenübertragung mit Möglichkeit zur Korrektur von Fehlerpaketen und Kodierungs- und Dekodierungsanordnung zur Durchführung dieses Verfahrens.

Title (fr)

Procédé de transmission, avec possibilité de correction de paquets d'erreurs, de messages d'information et dispositifs de codage et de décodage pour la mise en oeuvre de ce procédé.

Publication

EP 0204612 A1 19861210 (FR)

Application

EP 86401109 A 19860527

Priority

FR 8508098 A 19850530

Abstract (en)

[origin: US4754458A] A method and apparatus for transmitting information while correcting bursts of errors is described. The technique uses a calculation of coefficients of code words by obtaining polynomials from the factorization over a field of elements. On transmitting, a product of a plurality of polynomials is obtained and this product is divided by another polynomial to obtain coefficients. On reception, a reciprocal of the polynomial is used and coefficients are also calculated. By summing the most significant coefficients of the polynomials, corrected bits of the message are obtained.

Abstract (fr)

L'invention concerne un procédé de transmission, avec possibilité de correction de paquets d'erreurs, de messages d'information et des dispositifs de codage et de décodage pour la mise en oeuvre de ce procédé. Selon l'invention, on prévoit des circuits de codage (101 à 141, 101' à 121') permettant d'émettre des blocs $m_{i-1}(X) \equiv M(X) A_{i-1}(X) [P_{i-1}(X)]$ où $P_{i-1}(X)$ représente les polynômes de la décomposition $X^{n+1} + A_{i-1}(X)$ est le réciproque du polynôme $P_{i-1}(X)$ dérivé de $P_{i-1}(X)$ et où $M(X)$ est le polynôme dont les coefficients sont les bits utiles du message à transmettre. Les circuits de décodage comportent des circuits (201' à 221', 201 à 243) de calcul d'un polynôme $S(X)$, somme du polynôme $X^{u+1} M(X)$ et d'un syndrome d'erreur et qui est égal à $m_{i-1}(X)$ représente les blocs reçus et $R_{i-1}(X)$ des polynômes de reconstitution, et des circuits de correction d'erreurs permettant de calculer des bits de correction pour les bits utiles à partir des u premiers coefficients du polynôme $S(X)$. L'invention s'applique à la transmission de données à l'aide de codes correcteurs d'erreurs.

IPC 1-7

H03M 13/00; **G06F 11/10**

IPC 8 full level

H03M 13/00 (2006.01); **G06F 11/10** (2006.01); **H03M 13/15** (2006.01)

CPC (source: EP US)

H03M 13/151 (2013.01 - EP US)

Citation (search report)

- [A] WO 8100316 A1 19810205 - CYCLOTOMICS INC
- [A] WO 8501625 A1 19850411 - CYCLOTOMICS INC [US]
- [A] ARCHIV FÜR ELEKTRONIK UND ÜBERTRAGUNGSTECHNIK, vol. 38, no. 5, septembre/octobre 1984, pages 281-289, Würzburg, DE; M. PRÖGLER et al.: "Realisierung algebraischer Fehlerkorrektur mit Standard-Mikrorechnern"
- [A] IEEE TRANSACTIONS ON INFORMATION THEORY, vol. IT-19, no. 5, septembre 1973, pages 590-592, New York, US; E.R. BERLEKAMP: "Goppa codes"
- [A] IEEE TRANSACTIONS ON COMPUTERS, vol. C-33, no. 2, février 1984, pages 178-189, IEEE, New York, US; KUANG YUNG LIU: "Architecture for VLSI design of reed-solomon decoders"
- [A] THE TRANSACTIONS OF THE IECE OF JAPAN, vol. E-64, no. 10, octobre 1981, pages 653-660, Tokyo, JP; E. FUJIWARA et al.: "Fault-tolerant arithmetic logic unit using parity-based codes"

Cited by

FR2754121A1; FR2673341A1; NL1006174C2

Designated contracting state (EPC)

AT BE CH DE GB IT LI NL SE

DOCDB simple family (publication)

EP 0204612 A1 19861210; **EP 0204612 B1 19900801**; AT E55206 T1 19900815; DE 3673078 D1 19900906; FR 2582888 A1 19861205; FR 2582888 B1 19870821; JP S61277231 A 19861208; US 4754458 A 19880628

DOCDB simple family (application)

EP 86401109 A 19860527; AT 86401109 T 19860527; DE 3673078 T 19860527; FR 8508098 A 19850530; JP 12555386 A 19860530; US 86282886 A 19860513