

Title (en)  
COMPLEMENTARY FET DELAY/LOGIC CELL.

Title (de)  
KOMPLEMENTÄRE FET-VERZÖGERUNGS/LOGIK-ZELLE.

Title (fr)  
CELLULE LOGIQUE/DE RETARD A TRANSISTOR A EFFET DE CHAMP COMPLEMENTAIRE.

Publication  
**EP 0216851 A1 19870408 (EN)**

Application  
**EP 86902099 A 19860225**

Priority  
US 71635785 A 19850326

Abstract (en)  
[origin: WO8605935A1] An integrated circuit comprises a pass transistor (M40) connected to the input of a complementary inverter pair. Means (403) are included to supply to the complementary inverter a reduced voltage, as compared to the signal voltage supplied to the gate of the pass transistor. In this manner, the switching threshold of the inverter is reduced, allowing a single conductivity type of pass transistor to be advantageously used. In one embodiment, the reduced voltage is obtained by a diode-connected enhancement type field effect transistor, producing a threshold voltage drop. In another embodiment, means for supplying three power supply voltages are utilized. A delay stage for a shift register can advantageously be implemented by the present technique. Transmission gate logic circuits can also be implemented by the present technique.

Abstract (fr)  
Un circuit intégré comprend un transistor de transmission (M40) relié à l'entrée d'une pair d'inverseurs complémentaires. Des organes (403) délivrent à l'inverseur complémentaire une tension réduite, par rapport à la tension du signal délivré à la porte du transistor de transmission. Le seuil de commutation de l'inverseur est ainsi réduit, ce qui permet d'utiliser avantageusement un transistor de transmission du type à conductivité simple. Dans un mode de réalisation, la tension réduite est obtenue à l'aide d'un transistor à effet de champ du type à amélioration relié par une diode, ce qui produit une chute de tension de seuil. Dans une variante, on utilise des organes délivrant trois tensions d'alimentation. Un étage de retard pour un registre à décalage peut être implémenté avantageusement par la présente technique, de même que des circuits logiques à porte de transmission.

IPC 1-7  
**H03K 19/096**

IPC 8 full level  
**G11C 19/28** (2006.01); **H03K 5/13** (2006.01); **H03K 19/096** (2006.01)

CPC (source: EP KR)  
**H03K 19/00** (2013.01 - KR); **H03K 19/0963** (2013.01 - EP)

Citation (search report)  
See references of WO 8605935A1

Designated contracting state (EPC)  
DE GB IT

DOCDB simple family (publication)  
**WO 8605935 A1 19861009**; EP 0216851 A1 19870408; JP S62502370 A 19870910; KR 880700547 A 19880315

DOCDB simple family (application)  
**US 8600412 W 19860225**; EP 86902099 A 19860225; JP 50165686 A 19860225; KR 860700834 A 19861125