

Title (en)
WAFER SCALE INTEGRATED CIRCUIT.

Title (de)
HALBLEITERSCHEIBENGROSSE INTEGRIERTE SCHALTUNG (WSI).

Title (fr)
CIRCUIT INTEGRE A L'ECHELLE DE LA TRANCHE.

Publication
EP 0217905 A1 19870415 (EN)

Application
EP 86902451 A 19860415

Priority
GB 8509632 A 19850415

Abstract (en)
[origin: WO8606186A1] An integrated circuit wafer comprises an array of chips (10A, 10B) provided with logic enabling the chips to connect up to each other under the control of commands sent along a forward path through the already connected chips and back through a return path. Growth is attempted in the directions NE, S, W and D, in turn where D is a diagonal direction which is NW for chips 10A and SE for chips 10B. Tests are made as each chip is added to the grown path. Defective chips are avoided by changing the growth direction to select another chip. In order to increase efficiency of growth to include all or virtually all good chips, a form of branching growth is permitted. Growth may take place in more than one direction from a single chip but the path of interconnection remains a single path. More particularly, when branching growth takes place from a chip, the return path thereto is directed into the forward path of another chip whose return path is directed into the return path leaving the chip from which the branching growth has occurred. The potential upstream chips and the potential downstream chips for any given chip form two mutually exclusive groups. For example a 10A chip has potential upstream chips in direction NE, S, W and NW but has potential downstream chips in directions N, E, SE relative to the 10 chip.

Abstract (fr)
Une tranche de circuit intégré comprend une matrice de puces (10A, 10B) pourvue d'une logique permettant aux puces de se connecter entre elles sous le contrôle de commandes envoyées par un chemin d'aller par l'intermédiaire de puces déjà connectées et renvoyées par un chemin de retour. Une croissance est tentée dans les directions NE, S, W et D, lorsque D est une direction diagonale qui est NW pour les puces 10A et SE pour les puces 10B. Des tests sont effectués au fur et à mesure que chaque puce est ajoutée au chemin développé. Des puces défectueuses sont évitées en changeant la direction de croissance ou de développement pour sélectionner une autre puce. De manière à augmenter l'efficacité de développement pour inclure toutes ou pratiquement toutes les bonnes puces, une forme de développement par branchement est possible. Le développement peut avoir lieu dans plus d'une direction à partir d'une seule puce mais le chemin d'interconnexion, lui, reste unique. Plus particulièrement, lorsqu'un développement par branchement s'effectue à partir d'une puce, le chemin de retour à celle-ci est dirigé dans le chemin d'aller d'une autre puce dont le chemin de retour est dirigé vers le chemin de retour quittant la puce d'où le développement ou croissance par branchement a eu lieu. Les puces amont potentielles et les puces aval potentielles pour une puce donnée forment deux groupes mutuellement exclusifs. Par exemple, une puce 10A possède des puces amont potentielles dans les directions NE, S, W et NW mais possède des puces aval potentielles dans des directions N, E, SE et SW par rapport à la puce (10).

IPC 1-7
G06F 11/20

IPC 8 full level
G11C 29/00 (2006.01); **G06F 11/20** (2006.01)

CPC (source: EP)
G11C 29/006 (2013.01); **G06F 11/20** (2013.01)

Citation (search report)
See references of WO 8606186A1

Designated contracting state (EPC)
AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)
WO 8606186 A1 19861023; EP 0217905 A1 19870415; GB 2174518 A 19861105; GB 2174518 B 19890621; GB 8509632 D0 19850522

DOCDB simple family (application)
GB 8600211 W 19860415; EP 86902451 A 19860415; GB 8509632 A 19850415