

Title (en)
CMOS FULL ADDER CELL E.G. FOR MULTIPLIER ARRAY.

Title (de)
CMOS-VOLLADDERER, Z.B. FÜR EINE MULTIPLIZIERERMATRIX.

Title (fr)
CELLULE D'ADDITIONNEUR COMPLET A MOS COMPLEMENTAIRE, NOTAMMENT POUR ENSEMBLES DE MULTIPLICATEURS.

Publication
EP 0221922 A1 19870520 (EN)

Application
EP 86902588 A 19860204

Priority
US 73883085 A 19850529

Abstract (en)
[origin: WO8607173A1] A fast full adder cell, for use in multiplier arrays. The cell uses simple 2-input gates (16, 18, 22, 24) and a pair of multiplexers (11, 21) made from pass transistors (12, 14, 26, 28). The 2-input gates (16, 18, 22, 24) may also be made from pass transistors and, in the case of AND and OR gates, a single additional field-effect transistor. In a first embodiment, the cell employs a one-bit-wide multiplexer (11) for selecting as the sum output either the output of a 2-input exclusive-OR gate (16) or the output of a 2-input exclusive-NOR gate (18). A second one-bit-wide multiplexer (21) selects as the cell's carry output either the output of a 2-input OR gate (24) or the output of a 2-input AND gate (22). In a second embodiment, the 2-input exclusive-OR and exclusive-NOR gates also are formed from either one or two single-bit multiplexers (Figs. 3 and 4, respectively), while the AND and OR gates are formed from pass transistors (36, 42) with a pull-up or pull-down transistor (38, 44) on their outputs, as appropriate. Both the P-type device and the N-type device of each pass transistor are formed with the same minimum possible width; to compensate for unequal propagation of 1's and 0's, an inverter follows each pair of pass transistors and the P-type and N-type devices of the inverter are of approximately the same size.

Abstract (fr)
Une cellule d'additionneur complet rapide pour ensembles de multiplicateurs comprend des portes simples à 2 entrées (16, 18, 22, 24) et une paire de multiplexeurs (11, 21) formés de transistors de transfert (12, 14, 26, 28). Les portes à deux entrées (16, 18, 22, 24) peuvent elles aussi être formées de transistors de transfert et, dans le cas de portes ET et OU, d'un seul transistor additionnel à effet de champ. Dans un premier mode de réalisation, la cellule utilise un multiplexeur bit par bit (11) pour sélectionner en tant que sortie d'addition soit la sortie d'une porte OU exclusive (16) à deux entrées soit la sortie d'une porte NI exclusive (18) à deux entrées. Un deuxième multiplexeur bit par bit (21) sélectionne en tant que sortie de report de la cellule soit la sortie d'une porte OU (24) à deux entrées ou la sortie d'une porte ET (22) à deux entrées. Dans un deuxième mode de réalisation, les portes OU exclusive et NI exclusive sont elles aussi formées d'un ou deux multiplexeurs bit par bit (Fig. 3 et 4, respectivement), alors que les portes ET et OU sont formées de transistors de transfert (36, 42) ayant à leur sortie un transistor survolteur ou dévolteur (38, 44), selon le cas. Le dispositif de type P et le dispositif de type N de chaque transistor de transfert ont la moindre largeur possible. Pour compenser la propagation inégale des 1 et des 0, un inverseur suit chaque paire de transistors de transfert, les dispositifs de type P et de type N de l'inverseur étant à peu près de la même longueur.

IPC 1-7
G06F 7/50; H03K 19/094; H03K 19/21

IPC 8 full level
G06F 7/50 (2006.01); **G06F 7/501** (2006.01); **H03K 19/0948** (2006.01); **H03K 19/21** (2006.01)

CPC (source: EP)
G06F 7/501 (2013.01); **H03K 19/0948** (2013.01); **H03K 19/215** (2013.01); **G06F 2207/4812** (2013.01); **G06F 2207/4816** (2013.01)

Citation (search report)
See references of WO 8607173A1

Designated contracting state (EPC)
AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)
WO 8607173 A1 19861204; EP 0221922 A1 19870520

DOCDB simple family (application)
US 8600250 W 19860204; EP 86902588 A 19860204