

Title (en)  
DEVICE FOR CONTROLLING AN INTEGRATED MEMORY MATRIX IMAGER AND CONTROL METHOD THEREOF.

Title (de)  
ANLAGE ZUR STEUERUNG EINER MATRIXANZEIGETAFEL MIT INTEGRIERTEM SPEICHER UND VERFAHREN ZU DEREN STEUERUNG.

Title (fr)  
DISPOSITIF DE COMMANDE D'UN IMAGEUR MATRICIEL A MEMOIRE INTEGREE ET SON PROCEDE DE COMMANDE.

Publication  
**EP 0237539 A1 19870923 (FR)**

Application  
**EP 86905321 A 19860915**

Priority  
FR 8513699 A 19850916

Abstract (en)  
[origin: WO8701849A1] The disclosed control device for controlling a matrix imager comprising a first family of  $n$  conductor lines ( $L_i$ ) and a second family of  $m$  conductor columns ( $C_j$ ) conveying signals appropriate for the excitation of an electro-optical display material to the image points (7) forming the integrated memory of the imager (9), comprises a first selection circuit (13) connected to  $n'$  address lines (14) and to  $n$  conductor lines ( $L_i$ ) with  $n \leq 2n'$ ,  $m$  reading/writing circuits (15) each connected to a conductor column ( $C_j$ ) and grouped in  $k$  packets, each packet comprising at the most  $l$  reading/writing circuits, with  $m$ ,  $l$  and  $k$  being integers such that  $1 \leq l \leq m$  and  $1 \leq k \leq m$ , each  $p$ -th reading /writing circuit of a packet being connected to the  $p$ -th line of a bidirectional data bus (21) of  $l$  lines, with  $p$  being an integer such that  $1 \leq p \leq l$ , and  $k$  processing circuits (17) each connected on the one hand to a packet of reading/writing circuits (15) and on the other hand to a second selection circuit (19) which is itself connected to  $k'$  address lines (18) with  $k \leq 2k'$ . Application to liquid crystal display devices.

Abstract (fr)  
Ce dispositif de commande d'un imageur matriciel comprenant une première famille de  $n$  conducteurs lignes ( $L_i$ ) et une deuxième famille de  $m$  conducteurs colonnes ( $C_j$ ) véhiculant des signaux appropriés à l'excitation d'un matériau d'affichage électrooptique aux points images (7) formant la mémoire intégrée de l'imageur (9), comprend un premier circuit de sélection (13) connecté à  $n'$  lignes d'adresses (14) et aux  $n$  conducteurs lignes ( $L_i$ ) avec  $n \leq 2n'$ ,  $m$  circuits de lecture/écriture (15) connectés chacun à un conducteur colonne ( $C_j$ ) et regroupés en  $k$  paquets, chaque paquet comportant au plus  $l$  circuits de lecture/écriture, avec  $m$ ,  $l$  et  $k$  entiers tels que  $1 \leq l \leq m$  et  $1 \leq k \leq m$ , chaque  $p$ ème circuit de lecture/écriture d'un paquet étant connecté à la  $p$ ème ligne d'un bus (21) de données bidirectionnel de  $l$  lignes, avec  $p$  entier tel que  $1 \leq p \leq l$ , et  $k$  circuits de traitement (17) connectés chacun d'une part à un paquet de circuits de lecture/écriture (15) et, d'autre part à un deuxième circuit de sélection (19) connecté lui-même à  $k'$  lignes d'adresses (18) avec  $K \leq 2k'$ . Application aux dispositifs d'affichage à cristaux liquides.

IPC 1-7  
**G09G 3/36**

IPC 8 full level  
**G02F 1/133** (2006.01); **G09G 3/36** (2006.01)

CPC (source: EP US)  
**G09G 3/3618** (2013.01 - EP US)

Citation (search report)  
See references of WO 8701849A1

Designated contracting state (EPC)  
DE FR GB IT NL

DOCDB simple family (publication)  
**FR 2587527 A1 19870320; FR 2587527 B1 19901019**; DE 3675929 D1 19910110; EP 0237539 A1 19870923; EP 0237539 B1 19901128; JP S63501319 A 19880519; US 4825202 A 19890425; WO 8701849 A1 19870326

DOCDB simple family (application)  
**FR 8513699 A 19850916**; DE 3675929 T 19860915; EP 86905321 A 19860915; FR 8600309 W 19860915; JP 50513786 A 19860915; US 5090587 A 19870430