

Title (en)

Graphics board with keyboard and mouse interface.

Title (de)

Graphische Platine mit Tastatur- und Mausschnittstellen.

Title (fr)

Carte graphique et interface clavier souris.

Publication

EP 0255436 A1 19880203 (FR)

Application

EP 87401744 A 19870724

Priority

FR 8610875 A 19860728

Abstract (en)

The present invention relates to an interface and graphics board between a central processor 1 communicating asynchronously with this board via an external bus and the video monitor 9 characterised in that it comprises: - a set of video-memories 45, 46 with capacity equal to at least the number of desired display points on the monitor 9, - at least one group of random-access memories 43, 44 or 41, 42 for storing graphics application software, - a circuit 40 controlling the video system, and managing the addresses of the various memories with a view to refreshing the memories and the video display, and updating the data or the programs and delivering the video signals; - a circuit 60 for serialising the data delivered by the video memory 45, 46 in step with a video clock H1; - a graphics processor 30 kept in step by a clock H0 and operating in synchronism with the circuit 40 of the controller of the video system so as to execute the software programs contained in the group of random-access memories; - an interface circuit 20 to 22 between the external bus and the buses of the board and a circuit 23 to 27 for arbitration between the graphics processor 30, the video-system controller 40 and the external bus. <IMAGE>

Abstract (fr)

La présente invention concerne une carte d'interface et graphique entre un processeur central 1 communiquant de façon asynchrone avec cette carte par un bus externe et le moniteur vidéo 9 caractérisé en ce qu'elle comprend : - un ensemble de mémoires-vidéo 45, 46 de capacité au moins égale au nombre de points d'affichage souhaités sur le moniteur 9, - au moins un groupe de mémoires vives 43, 44 ou 41, 42 de stockage des logiciels d'application graphique, - un circuit 40 contrôleur du système vidéo, gérant les adresses des différentes mémoires en vue d'effectuer les rafraîchissements des mémoires, de l'affichage vidéo et les mises à jour des données ou des programmes et délivrant les signaux vidéo ; - un circuit 60 de sérialisation des données délivrées par la mémoire vidéo 45, 46 en cadence avec une horloge vidéo H1 ; - un processeur graphique 30 cadencé par une horloge H0 et travaillant en synchronisme avec le circuit 40 du contrôleur du système vidéo de façon à exécuter les programmes de logiciel contenus dans le groupe de mémoires vives ; - un circuit 20 à 22 d'interface entre le bus externe et les bus de la carte et un circuit 23 à 27 d'arbitrage entre le processeur graphique 30, le contrôleur de système vidéo 40 et le bus externe.

IPC 1-7

G09G 1/16

IPC 8 full level

G09G 5/36 (2006.01); **G09G 5/39** (2006.01)

CPC (source: EP)

G09G 5/363 (2013.01)

Citation (search report)

- [A] ELECTRONIC DESIGN, vol. 33, no. 1, 10 janvier 1985, pages 42,44, Hasbrouck Heights, US; D. BURSKY: "Graphics accelerator cruises along at 400.000 operations/s"
- [A] ELECTRONIC DESIGN, vol. 32, no.2, 26 janvier 1984, pages 81-88, Wasecca, MN., Denville, US; W.F. CARLETON et al.: "Graphics chip set paints a broad spectrum"
- [A] COMPUTER DESIGN, vol. 21, no. 7, juillet 1981, pages 111-113, Winchester, Mass., US; D. JONES et al.: "Graphics and imaging system offloads host computer"

Cited by

US6119207A; US6145033A; EP0483467A3; US6204864B1; WO9641325A1

Designated contracting state (EPC)

BE DE ES FR GB IT NL SE

DOCDB simple family (publication)

EP 0255436 A1 19880203; **EP 0255436 B1 19910522**; DE 3770212 D1 19910627; ES 2022402 B3 19911201; FR 2602892 A1 19880219; FR 2602892 B1 19881110

DOCDB simple family (application)

EP 87401744 A 19870724; DE 3770212 T 19870724; ES 87401744 T 19870724; FR 8610875 A 19860728