

Title (en)  
MULTI-PROCESSOR APPARATUS.

Title (de)  
VIELFACHPROZESSORVORRICHTUNG.

Title (fr)  
DISPOSITIF A PROCESSEUR MULTIPLE.

Publication  
**EP 0257061 A1 19880302 (EN)**

Application  
**EP 87901191 A 19870127**

Priority  
US 82756586 A 19860210

Abstract (en)  
[origin: WO8704826A1] A multi-processor apparatus which includes an array of separately addressable memory units (18) and an array of separately addressable processors (14). A first unidirectional bus (BUS I) delivers data from a selected processor to a selected memory unit. A second unidirectional data bus (BUS II) delivers data from a selected memory unit to a selected processor. Arbitor circuits (30, 32) control the flow of data to these data buses.

Abstract (fr)  
Dispositif à processeur multiple comprenant un réseau d'unités de mémoire (18) adressables séparément et un réseau de processeurs (14) adressables séparément. Un premier bus unidirectionnel (BUS I) assure le transfert des données d'un processeur sélectionné à une unité de mémoires sélectionnées. Un deuxième bus de données unidirectionnel (BUS II) assure le transfert de données d'une unité de mémoire sélectionnée à un processeur sélectionné. Des circuits d'arbitrage (30, 32) assure la régulation du flux de données vers lesdits bus de données.

IPC 1-7  
**G06F 13/18**; **G06F 13/36**; **G06F 15/66**

IPC 8 full level  
**G06F 15/16** (2006.01); **G06F 12/00** (2006.01); **G06F 13/16** (2006.01); **G06F 13/18** (2006.01); **G06F 13/364** (2006.01); **G06F 15/177** (2006.01); **G06T 1/20** (2006.01)

CPC (source: EP)  
**G06F 13/18** (2013.01); **G06F 13/364** (2013.01); **G06T 1/20** (2013.01)

Citation (search report)  
See references of WO 8704826A1

Designated contracting state (EPC)  
DE FR GB

DOCDB simple family (publication)  
**WO 8704826 A1 19870813**; EP 0257061 A1 19880302; JP S63502535 A 19880922

DOCDB simple family (application)  
**US 8700112 W 19870127**; EP 87901191 A 19870127; JP 50104287 A 19870127