

Title (en)

DATA-FLOW MULTIPROCESSOR ARCHITECTURE FOR EFFICIENT SIGNAL AND DATA PROCESSING.

Title (de)

DATENFLUSS-VIELFACHPROZESSOR-ARCHITEKTUR FÜR WIRKSAME SIGNAL- UND DATENVERARBEITUNG.

Title (fr)

ARCHITECTURE DE MULTIPROCESSEURS DE FLUX DE DONNEES POUR TRAITEMENT EFFICACE DE SIGNAUX ET DE DONNEES.

Publication

EP 0261173 A1 19880330 (EN)

Application

EP 87901955 A 19870302

Priority

US 84708786 A 19860331

Abstract (en)

[origin: WO8706034A1] A data-flow architecture and software environment for high-performance signal and data processing. The programming environment allows applications coding in a functional high-level language (20) which a compiler (30) converts to a data-flow graph form (40) which a global allocator (50) then automatically partitions and distributes to multiple processing elements (80), or in the case of smaller problems, coding in a data-flow graph assembly language so that an assembler (15) operates directly on an input data-flow graph file (13) and produces an output which is then sent to a local allocator (17) for partitioning and distribution. In the former case a data-flow processor description file (45) is read into the global allocator (50), and in the latter case a data-flow processor description file (14) is read into the assembler (15). The data-flow processor (70) consists of multiple processing elements (80) connected in a three-dimensional bussed packet routing network. Data enters and leaves the processor (70) via input/output devices (90) connected to the processor. The processing elements are designed for implementation in VLSI (very large scale integration) to provide realtime processing with very large throughput. The modular nature of the computer allows adding more processing elements to meet a range of throughput and reliability requirements. Simulation results have demonstrated high-performance operation, with over (64) million operations per second being attainable using only 64 processing elements.

Abstract (fr)

Architecture de flux de données et environnement de logiciel pour traitement de signaux et de données à rendement élevé. L'environnement de programmation autorise le codage d'applications dans un langage évolué fonctionnel (20) qui est transformé par un compilateur (30) en graphique de flux de données (40) qui, par un répartiteur global (50), est ensuite découpé et réparti automatiquement à des éléments de traitement multiple (80); dans le cas de problèmes moins difficiles, le codage se fait dans un langage d'assemblage de graphique de flux de données, de manière qu'un assembleur (15) agit directement sur un fichier de graphique de flux de données d'entrée (13) et réalise une sortie qui est ensuite envoyée à un répartiteur local (17) en vue d'un découpage et d'une répartition. Dans le premier cas, un fichier de description du processeur de flux de données (45) est communiqué au répartiteur global (50), et dans le deuxième cas, un fichier de description de processeur de flux de données (14) est communiqué à l'assembleur (15). Le processeur de flux de données (70) est constitué d'éléments de traitement multiples (80) reliés à un réseau type bus tridimensionnel d'acheminement de paquets. Les données entrent dans le processeur (70) et en sortent par des dispositifs entrée/sortie (90) qui sont reliés au processeur. Les éléments de traitement sont conçus pour une utilisation en VLSI (intégration à très grande échelle) afin d'offrir un traitement en temps réel avec un très grand débit. Le caractère modulaire de l'ordinateur permet également l'adjonction d'autres éléments de traitement afin de répondre à des exigences variées de débit et de fiabilité. Les résultats d'opérations simulées ont témoigné d'un fonctionnement à performances élevées, 64 millions d'opérations pouvant être effectuées par seconde à l'aide de 64 éléments de traitement seulement.

IPC 1-7

G06F 9/44

IPC 8 full level

G06F 9/44 (2006.01); **G06F 15/16** (2006.01); **G06F 15/82** (2006.01)

CPC (source: EP)

G06F 9/4494 (2018.01)

Citation (search report)

See references of WO 8706034A1

Designated contracting state (EPC)

DE FR GB IT

DOCDB simple family (publication)

WO 8706034 A1 19871008; EP 0261173 A1 19880330; IL 81756 A0 19871020; JP S63503099 A 19881110

DOCDB simple family (application)

US 8700410 W 19870302; EP 87901955 A 19870302; IL 8175687 A 19870303; JP 50193287 A 19870302