

Title (en)

Method and apparatus for digital synthesis of a clock signal.

Title (de)

Verfahren und Gerät zur digitalen Synthese eines Taktsignals.

Title (fr)

Procédé et dispositif de synthèse numérique d'un signal d'horloge.

Publication

EP 0298804 A1 19890111 (FR)

Application

EP 88401509 A 19880617

Priority

FR 8709029 A 19870626

Abstract (en)

[origin: US4896338A] According to the method, the clock signal is obtained from a phase increment datum DELTA P, representing the frequency to be synthesized. It consists in performing a binary number M modulo addition of each phase increment with the modulo M sum of the phase increments already totalized inside a phase accumulating device. After each overflow of capacity of the accumulator device, the remaining residual phase error PK is read in the accumulating device. Correlatively, 2Q clock signals with a period Tc, phase-shifted with respect to each other by Tc/2Q are generated. A temporal error DELTA tK is computed by obtaining the ratio PK/ DELTA P between the residual phase error PK and the phase increment DELTA P per period Tc. Finally that clock signal for which the phase shift with respect to the computation clock signal is closest to the computed residual phase is selected.

Abstract (fr)

Suivant le procédé, le signal d'horloge est obtenu à partir d'une donnée incrémentale de phase ΔP . Il consiste à effectuer l'addition (6) modulo un nombre binaire M de chaque incrément de phase à la somme modulo M des incréments de phase déjà totalisés à l'intérieur d'un dispositif accumulateur de phase. Après chaque dépassement de capacité du dispositif accumulateur (6) l'erreur de phase résiduelle PK est lue (7) dans le dispositif accumulateur. Corrélativement 2<Q> signaux d'horloge de période Tc, déphasés entre eux de Tc/2<Q> sont générés. Une erreur temporelle ΔtK , est calculée en effectuant le rapport <IMAGE> entre l'erreur de phase résiduelle PK et l'incrément de phase ΔP par période Tc. Enfin, le signal d'horloge dont le déphasage par rapport à l'horloge de calcul est le plus proche de la phase résiduelle calculée est sélectionné.

IPC 1-7

G06F 1/04; **G06F 7/68**

IPC 8 full level

G06F 1/08 (2006.01); **G06F 7/68** (2006.01)

CPC (source: EP US)

G06F 1/08 (2013.01 - EP US); **G06F 7/68** (2013.01 - EP US)

Citation (search report)

- [AD] FR 2592244 A1 19870626 - THOMSON CSF [FR]
- [A] IBM TECHNICAL DISCLOSURE BULLETIN, vol. 17, no. 10, mars 1975, page 235, New York, US; F.E. STUEBNER: "Clock pulse generators with adjustment for cycle length"
- [A] IBM TECHNICAL DISCLOSURE BULLETIN, vol. 10, no. 3, août 1967, page 235, New York, US; H. DEUTSCH et al.: "Digitally programmable derived clock"

Designated contracting state (EPC)

DE GB IT

DOCDB simple family (publication)

EP 0298804 A1 19890111; **EP 0298804 B1 19930414**; DE 3880217 D1 19930519; DE 3880217 T2 19930729; FR 2617349 A1 19881230; FR 2617349 B1 19891020; US 4896338 A 19900123

DOCDB simple family (application)

EP 88401509 A 19880617; DE 3880217 T 19880617; FR 8709029 A 19870626; US 21235588 A 19880627