

Title (en)
HIGH SPEED DATA-CLOCK SYNCHRONIZATION PROCESSOR.

Title (de)
TAKTSYNCHRONISIERPROZESSOR FÜR HOCHGESCHWINDIGKEITSDATEN.

Title (fr)
PROCESSEUR DE SYNCHRONISATION D'HORLOGE DE DONNEES A VITESSE ELEVEE.

Publication
EP 0299024 A1 19890118 (EN)

Application
EP 88900944 A 19871230

Priority
US 50487 A 19870105

Abstract (en)
[origin: WO8805236A1] The present invention generates a data-clock for data processing circuitry by developing an optimum locally generated clock signal which is selected with each received data message. This is achieved by utilizing a local crystal clock (10) which serves as an input to a multiple active parallel tap delay line (16). A register (34) has the various delay signals input to it and a window generator (36) strobes (42) the inputs to the register so as to process the strobed levels of the various delayed clock signals. This is done to detect a level transition in any of the clock phases. Gating circuitry (26, 28) then chooses an optimum clock phase which has undergone a transition in a desired direction during the time window when the various clock phases were strobed. As a result of the present invention, utilized bandwidth may be increased and data distortion is minimized so that the number of stations connected to a data bus provided with the data clock of the invention may be increased substantially.

Abstract (fr)
La présente invention consiste à produire une horloge de données pour des circuits de traitement de données grâce à la mise au point d'un signal d'horloge optimal généré localement qui est choisi avec chaque message de données reçu. A cet effet, on utilise une horloge locale à quartz (10) qui sert d'entrée sur une ligne à retard active à prises parallèles multiples (16). Un registre (34) reçoit les divers signaux de retard, et un générateur de fenêtre (36) échantillonne (42) les entrées dans le registre de manière à traiter les niveaux échantillonnés des divers signaux d'horloge retardés. L'objectif est de détecter un niveau de transition dans l'une quelconque des phases d'horloge. Les circuits de déclenchement (26, 28) choisissent ensuite une phase d'horloge optimale ayant subi une transition dans une direction désirée pendant l'intervalle de temps où les diverses phases d'horloge étaient échantillonnées. Grâce à cette invention, la largeur de bande peut être augmentée, et la distorsion des données est réduite au minimum de sorte que le nombre de stations reliées à un bus de données prévu avec l'horloge de données de l'invention peut être substantiellement accru.

IPC 1-7
H04L 7/02

IPC 8 full level
H04L 7/02 (2006.01); **F02D 41/22** (2006.01); **F02D 41/24** (2006.01); **F02D 41/28** (2006.01); **F02D 45/00** (2006.01); **H04L 7/033** (2006.01)

CPC (source: EP)
F02D 41/222 (2013.01); **F02D 41/28** (2013.01); **H04L 7/0338** (2013.01); **Y02T 10/40** (2013.01)

Designated contracting state (EPC)
BE CH DE FR GB IT LI NL SE

DOCDB simple family (publication)
WO 8805236 A1 19880714; CA 1282124 C 19910326; EP 0299024 A1 19890118; EP 0299024 A4 19901128; JP H01501752 A 19890615

DOCDB simple family (application)
US 8703493 W 19871230; CA 555841 A 19880105; EP 88900944 A 19871230; JP 50110588 A 19871230