

Title (en)

MEMORY ACCESS FOR A COMPUTER SYSTEM.

Title (de)

SPEICHERZUGRIFF FÜR RECHNERSYSTEM.

Title (fr)

ACCES EN MEMOIRE POUR SYSTEME D'ORDINATEUR.

Publication

EP 0324016 A1 19890719 (EN)

Application

EP 88906644 A 19880720

Priority

US 7664687 A 19870723

Abstract (en)

[origin: WO8901204A1] A high speed and extended bit length microprocessor based computer system includes a memory array (5) which is segmented to be addressable by words but shares a common data bus multiple words in size. The computer system further includes a logic circuit (26) for selectively generating and time-synchronizing wait state signals for the microprocessor. The logic circuit (26) is responsive to a memory access request by the microprocessor. The memory access request is considered in conjunction with the previous microprocessor accessing information to determine whether the same segment of the memory array (5) is to be addressed during the next memory array access cycle. If a segment coincidence is detected, a wait cycle is initiated to delay accessing of the memory array. The wait cycle may be a single microprocessor clock cycle or multiples of such time interval. The circuit finds use in a computer system having a microprocessor with a cycle rate faster than the memory array access repetition rate, and which uses software of diverse data word length.

Abstract (fr)

Un système d'ordinateur utilisant un microprocesseur à haute vitesse et à longueur de bit étendue comprend une mémoire en réseau (5) qui est segmentée pour pouvoir être adressée par des mots mais partage un bus commun de données de mots multiples. Le système d'ordinateur comprend en outre un circuit logique (26) pour générer sélectivement et synchroniser dans le temps des signaux d'état d'attente pour le microprocesseur. Le circuit logique (26) est sensible à une requête d'accès en mémoire par le microprocesseur. La requête d'accès en mémoire est considérée conjointement aux informations antérieures d'accès du microprocesseur pour déterminer si le même segment du réseau de mémoire (5) doit être adressé pendant le cycle suivant d'accès au réseau de mémoire. Si une coïncidence de segment est détectée, un cycle d'attente est initié pour retarder l'accès au réseau de mémoire. Le cycle d'attente peut être un cycle unique d'horloge de microprocesseur ou des multiples de cet intervalle de temps. Le circuit s'applique à un système d'ordinateur ayant un microprocesseur avec une fréquence des cycles plus rapide que la fréquence de répétition d'accès au réseau de mémoire et qui utilise un logiciel de longueur différente de mots de données.

IPC 1-7

G06F 12/02; **G06F 13/16**

IPC 8 full level

G06F 12/04 (2006.01); **G06F 12/06** (2006.01); **G06F 13/16** (2006.01)

CPC (source: EP KR)

G06F 13/16 (2013.01 - KR); **G06F 13/1631** (2013.01 - EP)

Citation (search report)

See references of WO 8901204A1

Designated contracting state (EPC)

DE FR GB NL

DOCDB simple family (publication)

WO 8901204 A1 19890209; EP 0324016 A1 19890719; JP H02500143 A 19900118; KR 890702135 A 19891222

DOCDB simple family (application)

US 8802453 W 19880720; EP 88906644 A 19880720; JP 50645188 A 19880720; KR 890700520 A 19890323