

Title (en)  
Signal-generating circuit.

Title (de)  
Schaltungsanordnung zum Bilden eines Signals.

Title (fr)  
Circuit de génération de signal.

Publication  
**EP 0343719 A2 19891129 (DE)**

Application  
**EP 89201243 A 19890517**

Priority  
DE 3817028 A 19880519

Abstract (en)  
A simple and space-saving circuit arrangement for forming an output signal as a linear combination of a number of input signals ( $S_1, \dots, S_n$ ) is described. This contains only one current control element ( $11, \dots, 1n$ , respectively) for each input signal ( $S_1, \dots, S_n$  respectively), particularly a transistor. The transistors are connected at one end with taps ( $41, \dots, 4n$  respectively) of a chain of feedback resistors ( $R_1, \dots, R_{n-1}$ ) and, at the other end, alternately to a first ( $31$ ) and a second ( $32$ ) output connection. The parallel connection of the feedback resistors ( $R_1, \dots, R_{n-1}$ ) directly following the tap ( $41, \dots, 4n$ , respectively) for the current control element ( $11, \dots, 1n$ , respectively) is dimensioned in accordance with the factor by which the input signal ( $S_1, \dots, S_n$  respectively) is weighted in the linear combination. <IMAGE>

Abstract (de)  
Es wird eine einfache und platzsparende Schaltungsanordnung zum Bilden eines Ausgangssignals als Linearkombination einer Anzahl von Eingangssignalen ( $S_1, \dots, S_n$ ) beschrieben. Diese enthält zu jedem Eingangssignal ( $S_1, \dots, S_n$  bzw.  $S_n$ ) nur ein Stromsteuerelement ( $11, \dots, 1n$  bzw.  $1n$ ), insbesondere einen Transistor. Die Transistoren sind einseitig mit Anzapfungen ( $41, \dots, 4n$  bzw.  $4n$ ) einer Kette aus Gegenkopplungswiderständen ( $R_1, \dots, R_{n-1}$ ) und anderseitig abwechselnd mit einem ersten ( $31$ ) und einem zweiten ( $32$ ) Ausgangsanschluß verbunden. Die Parallelschaltung der an die Anzapfung ( $41, \dots, 4n$  bzw.  $4n$ ) für das Stromsteuerelement ( $11, \dots, 1n$  bzw.  $1n$ ) unmittelbar anschließenden Gegenkopplungswiderstände ( $R_1, \dots, R_{n-1}$ ) ist gemäß dem Faktor dimensioniert, mit dem das Eingangssignal ( $S_1, \dots, S_n$  bzw.  $S_n$ ) in der Linearkombination gewichtet ist.

IPC 1-7  
**G06G 7/14; G06G 7/26**

IPC 8 full level  
**G06G 7/14** (2006.01); **G06G 7/26** (2006.01)

CPC (source: EP)  
**G06G 7/14** (2013.01); **G06G 7/26** (2013.01)

Designated contracting state (EPC)  
DE FR GB

DOCDB simple family (publication)  
**EP 0343719 A2 19891129; EP 0343719 A3 19901024; EP 0343719 B1 19941005**; DE 3817028 A1 19891130; DE 58908465 D1 19941110

DOCDB simple family (application)  
**EP 89201243 A 19890517**; DE 3817028 A 19880519; DE 58908465 T 19890517