

Title (en)

PARALLEL STRING PROCESSOR AND METHOD FOR A MINICOMPUTER.

Title (de)

PARALLELPROZESSOR FÜR ALPHANUMERISCHE KETTEN SOWIE VERFAHREN FÜR EINEN MINIRECHNER.

Title (fr)

PROCESSEUR ET PROCEDE DE TRAITEMENT EN PARALLELE DE CHAINES ALPHANUMERIQUES DANS UN MINI-ORDINATEUR.

Publication

EP 0352279 A1 19900131 (EN)

Application

EP 88902641 A 19880210

Priority

- US 1283487 A 19870210
- US 8842187 A 19870820

Abstract (en)

[origin: WO8806308A1] A parallel string processor for use in a minicomputer for searching portions of text or binary bit strings for the presence of desired words or bit strings. The processor includes a first register (136) in which a keyword string is stored and a pair of interconnected shift registers (186 and 188) in which the string to be searched for the presence of the keyword is stored. An arithmetic logic unit (140) compares the contents of the first register with one of the shift registers to determine whether the keyword is present in the portion of the string being searched. After each such comparison, the contents of the interconnected shift registers are shifted with respect to the keyword stored in the first register. When the processor is searching for the presence of a keyword having a predetermined number of bytes, the contents of the shift registers are shifted one byte at a time, and when the processor is searching for the presence of a keyword having a predetermined number of bits, the contents of the shift registers are shifted one bit at a time.

Abstract (fr)

Un processeur en parallèle de chaînes alphanumériques dans un mini-ordinateur examine des parties de texte ou des chaînes binaires à la recherche de mots ou de chaînes binaires voulus. Le processeur comprend un premier registre (136) dans lequel est enregistrée une chaîne comportant un mot-clé et une paire de registres à décalage interconnectés (186 et 188) dans lesquels est enregistrée la chaîne que l'on doit rechercher afin de retrouver le mot-clé. Une unité logique arithmétique (140) compare le contenu du premier registre avec l'un des registres à décalage afin de déterminer si le mot-clé est présent dans la partie de la chaîne en train d'être examinée. Après cette comparaison, le contenu des registres à décalage interconnectés est décalé par rapport au mot-clé enregistré dans le premier registre. Lorsque le processeur recherche un mot-clé ayant un nombre prédéterminé d'octets, le contenu des registres à décalage est décalé d'un octet à la fois, et lorsque le processeur recherche un mot-clé ayant un nombre prédéterminé de bits, le contenu des registres à décalage est décalé d'un bit à la fois.

IPC 1-7

G05B 1/00; G06F 7/02

IPC 8 full level

G06F 7/02 (2006.01); **G06F 9/30** (2006.01); **G06F 17/30** (2006.01)

CPC (source: EP KR)

G06F 7/02 (2013.01 - EP KR); **G06F 9/30021** (2013.01 - EP); **G06F 16/90344** (2018.12 - EP); **G06F 2207/025** (2013.01 - EP)

Designated contracting state (EPC)

AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)

WO 8806308 A1 19880825; AU 1486388 A 19880914; EP 0352279 A1 19900131; EP 0352279 A4 19911030; KR 890700870 A 19890428

DOCDB simple family (application)

US 8800389 W 19880210; AU 1486388 A 19880210; EP 88902641 A 19880210; KR 880701248 A 19881008