

Title (en)
VLSI CHIP.

Title (de)
VLSI-CHIP.

Title (fr)
PUCE D'INTEGRATION A TRES GRANDE ECHELLE (VLSI).

Publication
EP 0358668 A1 19900321 (EN)

Application
EP 88903896 A 19880504

Priority
US 4551587 A 19870504

Abstract (en)
[origin: WO8809036A2] The disclosure relates to the JCMOS memory cell, which includes a bipolar transistor for WRITing a charge into the cell's capacitor, and a JFET for (non-destructive) READing. The disclosure describes the need for special measures for isolating the JCMOS memory cells, to enable them to be used with CMOS technology on a common substrate. In the "physical barrier" isolation, as disclosed, trenches (19) are formed between the respective sources (34) of the JCMOS cells. Other trenches (100) are provided to separate the drains (36) of adjacent columns of cells. In the "island diffusion" isolation, as disclosed, each JCMOS cell is placed on a grounded island-substrate (97), and the IGFET (29) of the CMOS pair that has its channel of the opposite polarity material to that of the overall chip substrate (99) is formed in a well (26) which is separated from the overall substrate by a deep island-implant (25). The overall substrate (99) and the deep implant (25) are both electrically floating.

Abstract (fr)
Cellule de mémoire JCMOS comprenant un transistor bipolaire destiné à inscrire une charge dans le condensateur de cellule, et un JFET destiné à la lecture (non destructive). L'invention décrit la nécessité de prendre des mesures spéciales afin d'isoler les cellules de mémoire JCMOS, afin de permettre leur utilisation avec la technologie CMOS sur un substrat commun. Dans l'isolation par "barrière physique", comme décrit, on réalise des tranchées (19) entre les sources respectives (34) des cellules JCMOS. D'autres tranchées (100) sont réalisées pour séparer les drains (36) des colonnes adjacentes de cellules. Dans l'isolation de "diffusion d'îlot", comme décrit, on place chaque cellule JCMOS sur un "substrat d'îlot" (97) mis à la terre, et le IGFET (29) de la paire de CMOS dont le canal de la matière à polarité est opposée à celle du substrat de puce dans son ensemble (99), est réalisé dans un puits (26) qui est séparé du substrat dans son ensemble par un implant d'îlot profond (25). Le substrat dans son ensemble (99) et l'implant profond (25) sont tous deux isolés électriquement.

IPC 1-7
G11C 11/24

IPC 8 full level
G11C 11/24 (2006.01); **G11C 11/405** (2006.01); **H01L 27/10** (2006.01)

CPC (source: EP)
G11C 11/24 (2013.01); **G11C 11/405** (2013.01)

Citation (search report)
See references of WO 8809036A2

Cited by
US6966693B2

Designated contracting state (EPC)
AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)
WO 8809036 A2 19881117; WO 8809036 A3 19881215; EP 0358668 A1 19900321; JP H02504335 A 19901206

DOCDB simple family (application)
GB 8800348 W 19880504; EP 88903896 A 19880504; JP 50384588 A 19880504