

Title (en)
SYNCHRONIZING CIRCUIT.

Title (de)
SYNCHRONISIERUNGSSCHALTUNG.

Title (fr)
CIRCUIT DE SYNCHRONISATION.

Publication
EP 0364451 A1 19900425 (EN)

Application
EP 88902850 A 19880326

Priority
EP 8800272 W 19880326

Abstract (en)
[origin: WO8909520A1] Synchronizing circuit including a variable delay circuit (DLC) through which an input signal (DIN) is passed to adjust the phase of a regenerated output signal (DIN1) with respect to a clock signal (CL1) at the frequency of the input signal, and a decision circuit (DC) to adjust the variable delay (DL1/8) so that it covers half a period of the input signal and after having detected a predetermined lack of synchronism modifies the value of the variable delay such that this delay may then be adjusted to cover the second half of the period.

Abstract (fr)
Le circuit de synchronisation décrit comprend un circuit de retard variable (DLC) à travers lequel passe un signal d'entrée (DIN) destiné à régler la phase d'un signal de sortie régénéré (DIN1) par rapport à un signal d'horloge (CL1) à la fréquence du signal d'entrée, ainsi qu'un circuit de décision (DC) servant à régler le retard variable (DL1/8) de sorte que celui-ci couvre la moitié d'une période du signal d'entrée et, après avoir détecté une absence prédéterminée de synchronisme, modifie la valeur du retard variable pour qu'il puisse être réglé de façon à couvrir l'autre moitié de la période.

IPC 1-7
H04L 7/02

IPC 8 full level
H04L 7/033 (2006.01)

CPC (source: EP)
H04L 7/0337 (2013.01)

Citation (search report)
See references of WO 8909520A1

Designated contracting state (EPC)
AT BE CH DE FR GB IT LI NL SE

DOCDB simple family (publication)
WO 8909520 A1 19891005; AU 1543588 A 19891016; AU 617312 B2 19911128; EP 0364451 A1 19900425

DOCDB simple family (application)
EP 8800272 W 19880326; AU 1543588 A 19880326; EP 88902850 A 19880326