

Title (en)

METHOD OF ERASING LIQUID CRYSTAL DISPLAY AND AN ERASING CIRCUIT.

Title (de)

VERFAHREN UND SCHALTUNG ZUR LÖSCHUNG EINER FLÜSSIGKEITSKRISTALLANZEIGE.

Title (fr)

PROCEDE D'EFFACEMENT D'UN AFFICHAGE A CRISTAUX LIQUIDES ET CIRCUIT D'EFFACEMENT.

Publication

EP 0364590 A1 19900425 (EN)

Application

EP 89900891 A 19881223

Priority

- JP 8801308 W 19881223
- JP 33176487 A 19871225
- JP 33176587 A 19871225

Abstract (en)

When the display is to be erased from active matrix-type liquid crystal display elements which have a source bus drive circuit (16) and a gate bus drive circuit (17), pixel signals for turning the pixels off are supplied in an amount of one line to the source bus drive circuit and, at the same time, a clear signal (CL) is given to a gate bus drive circuit (17) to apply a voltage simultaneously to all gate buses (151 to 15m) to turn on the transistors (13) in all of the pixels. Provision is made of a power source holding circuit (22) for holding the power of the power source (V1) supplied to the gate bus drive circuit (17) for a predetermined period of time even after the power source is turned off, and a voltage drop detect circuit (24) for detecting the turn-off of the power source. A clear signal (CL) is produced in response to the detect signal and is sent to the gate bus drive circuit (17). In response to the clear signal, the gate bus drive circuit supplies a voltage for turning on the transistors (13) of all pixels simultaneously to all of the gate buses to erase the display in a short period of time after the power source is turned off.

Abstract (fr)

Lorsqu'on veut effacer un affichage composé d'éléments d'affichage à cristaux liquides du type à matrice active comportant un circuit de commande (16) de bus de source et un circuit de commande de bus de porte (17), des signaux servant à éteindre les pixels sont appliqués jusqu'à concurrence d'une ligne au circuit de commande de bus de source et, simultanément, un signal d'effacement (CL) est appliqué au circuit de commande de bus de porte (17), de manière à appliquer simultanément une tension à tous les bus de porte (151 à 15m) pour activer les transistors (13) dans tous les pixels. On prévoit un circuit de maintien d'alimentation (22) qui maintient la puissance de l'alimentation (V1) fournie au circuit de commande de bus de porte (17) pendant une durée déterminée, même après l'arrêt de l'alimentation, et un circuit détecteur de chute de tension (24) qui détecte l'arrêt de l'alimentation. Un signal d'effacement (CL) est produit en réponse au signal de détection et est envoyé au circuit de commande de bus de porte (17). En réaction au signal d'effacement, le circuit de commande de bus de porte applique à tous les bus de porte simultanément une tension servant à activer les transistors (13) de tous les pixels de manière à effacer rapidement l'affichage après l'arrêt de l'alimentation.

IPC 1-7

G09G 3/36

IPC 8 full level

G09G 3/36 (2006.01)

CPC (source: EP)

G09G 3/3648 (2013.01); **G09G 3/3677** (2013.01); **G09G 3/3696** (2013.01); **G09G 2310/0245** (2013.01); **G09G 2330/02** (2013.01)

Cited by

KR100734275B1; US5945970A; DE10138089B4; KR100852170B1; CN103714776A; EP0881622A1; FR2783342A1; DE19935834B4; KR100430095B1; CN100367327C; KR100559216B1; DE19828384B4; EP0764932A3; US5793346A; US7109965B1; WO03052730A1

Designated contracting state (EPC)

DE FR GB

DOCDB simple family (publication)

WO 8906416 A1 19890713; DE 3853998 D1 19950720; DE 3853998 T2 19951123; EP 0364590 A1 19900425; EP 0364590 A4 19920603; EP 0364590 B1 19950614

DOCDB simple family (application)

JP 8801308 W 19881223; DE 3853998 T 19881223; EP 89900891 A 19881223