

Title (en)  
WAFER SCALE INTEGRATED CIRCUITS.

Title (de)  
HALBLEITERSCHEIBENGRÖSSE INTEGRIERTE SCHALTUNGEN.

Title (fr)  
CIRCUITS INTEGRES A L'ECHELLE D'UNE TRANCHE.

Publication  
**EP 0378613 A1 19900725 (EN)**

Application  
**EP 89906418 A 19890531**

Priority  
• GB 8828482 A 19881206  
• JP 13258988 A 19880601

Abstract (en)  
[origin: WO8912320A1] Like integrated circuits or "chips" (10) on a wafer (22) supported on a printed circuit board (24) are supplied with power by VCC and VSS bondwires (20) stitch bonded to pads on all chips (10). The bondwires are interrupted at the equator so that a supply line fault in the top or bottom half of the wafer will not affect any chips in the lower half of the wafer, and vice versa. Global signal lines (18) WCK (wafer clock) and CMND (command) are similarly treated, being formed in metal which is interrupted in an equatorial band (26). Every chip (10) has input and output bond pads for data input and output to a chain of chips grown using inter-module connections in a manner known per se. The chips may thus be masked using like reticles while always having available edge chips (10') whose input and output bond pads can be used to make external connections, via bondwires (38).

Abstract (fr)  
Des circuits intégrés similaires ou "puces" (10) sur une tranche (22) supportée sur une carte de circuits imprimés (24) sont alimentés en courant par des fils de connexion (20) VCC et VSS soudés en points de couture à des plots sur toutes les puces (10). Les fils de connexion sont interrompus au niveau de l'équateur de sorte qu'une anomalie au niveau de la ligne d'alimentation dans la moitié supérieure ou inférieure de la tranche n'affectera pas d'autres puces dans la moitié inférieure de la tranche, et vice-versa. Des circuits globaux d'acheminement des signaux (18) WCK (synchronisation tranche) et CMND (instruction) sont traités de la même manière et sont constitués de métal interrompu dans une bande équatoriale (26). Chaque puce (10) possède des plots de connexion d'entrée et de sortie pour l'entrée et la sortie de données vers une chaîne de puces dont la croissance est assurée au moyen de connexions inter-modules de manière connue en soi. On peut ainsi masquer les puces à l'aide de réticules similaires tout en ayant toujours des puces marginales (10') disponibles dont les plots d'entrée et de sortie peuvent servir à faire des connexions externes, via des fils de connexion (38).

IPC 1-7  
**G06F 11/20; H01L 23/52**

IPC 8 full level  
**G11C 5/06** (2006.01); **G11C 29/00** (2006.01); **H01L 23/52** (2006.01); **H01L 23/528** (2006.01)

CPC (source: EP KR)  
**G11C 5/063** (2013.01 - EP); **G11C 29/006** (2013.01 - EP); **H01L 23/52** (2013.01 - EP KR); **H01L 23/5286** (2013.01 - EP);  
**H01L 24/06** (2013.01 - EP); **H01L 2224/05554** (2013.01 - EP); **H01L 2224/48091** (2013.01 - EP); **H01L 2224/4813** (2013.01 - EP);  
**H01L 2924/14** (2013.01 - EP)

Citation (search report)  
See references of WO 8912320A1

Designated contracting state (EPC)  
AT BE CH DE FR GB IT LI NL SE

DOCDB simple family (publication)  
**WO 8912320 A1 19891214**; EP 0378613 A1 19900725; KR 900702569 A 19901207

DOCDB simple family (application)  
**GB 8900594 W 19890531**; EP 89906418 A 19890531; KR 900700196 A 19900131