

Title (en)

SELECTIVE RECEIVER FOR EACH PROCESSOR IN A MULTIPLE PROCESSOR SYSTEM.

Title (de)

SELEKTIVER EMPFÄNGER FÜR JEDEN PROCESSOR IN EINEM MEHRRECHNERSYSTEM.

Title (fr)

RECEPTEUR SELECTIF POUR CHAQUE PROCESSEUR D'UN SYSTEME A PROCESSEUR MULTIPLE.

Publication

EP 0380481 A1 19900808 (EN)

Application

EP 88904138 A 19880420

Priority

US 10499187 A 19871006

Abstract (en)

[origin: WO8903565A1] Circuitry, and associated methodology, in a parallel processing system (50) for sharing the address space among a plurality of autonomous processors (110, 210, 310) communicating over a common bus provides an efficient, non-destructive data transfer and storage environment. This is effected by augmenting each processor with buffer means (e.g. 140) for storing data received off the bus, and means (e.g. 120, 130) for selectively enabling the buffer means to accept those segments of data having addresses allocated to the given processor. To avoid overwriting of data during bus conflicts, the buffer means are arranged to store data on a first-in, first-out basis and to control the processing states and data transfer in correspondance to respective bus and processor states.

Abstract (fr)

Procédé et circuit dans un système de traitement en parallèle (50) pour partager l'espace d'adresse parmi une pluralité de processeurs autonomes (110, 210, 310) communiquant par un bus commun, dans le but d'obtenir un environnement de stockage et de transfert de données efficace et non destructif. Ce résultat est obtenu en augmentant chaque processeur avec des moyens tampons (p.ex. 140) pour stocker des données reçues du bus, et des moyens (p.ex. 120, 130) pour valider sélectivement les moyens tampons et accepter les segments de données ayant des adresses affectées au processeur donné. Pour éviter la superposition d'écriture de données lors de conflits de bus, les moyens tampons sont conçus pour stocker des données d'après un système premier entré, premier sorti et pour commander les états de traitement et le transfert de données en correspondance aux états respectifs du bus et des processeurs.

IPC 1-7

G06F 15/16

IPC 8 full level

G06F 15/16 (2006.01); **G06F 13/38** (2006.01); **G06F 15/17** (2006.01)

CPC (source: EP)

G06F 15/17 (2013.01)

Citation (search report)

See references of WO 8903565A1

Designated contracting state (EPC)

DE FR GB

DOCDB simple family (publication)

WO 8903565 A1 19890420; CA 1309503 C 19921027; EP 0380481 A1 19900808; JP H02503121 A 19900927

DOCDB simple family (application)

US 8801283 W 19880420; CA 572328 A 19880718; EP 88904138 A 19880420; JP 50378888 A 19880420