

Title (en)
PARALLEL STRING PROCESSOR AND METHOD FOR A MINICOMPUTER.

Title (de)
PROZESSOR UND VERFAHREN ZUR VERARBEITUNG VON PARALLELEN DATENKETTEN IN EINEM MIKROCOMPUTER.

Title (fr)
PROCESSEUR ET PROCEDE DE TRAITEMENT DE CHAINE EN PARALLELE POUR MICRO-ORDINATEUR.

Publication
EP 0395636 A1 19901107 (EN)

Application
EP 88906247 A 19880407

Priority
US 8842187 A 19870820

Abstract (en)
[origin: WO8901653A1] A processor for use in a computer system for comparing a number of bytes simultaneously in order to locate a control character in a string of data. The processor includes a register for holding the data bytes (REGB), a register for storing the control characters (REGA), a comparison circuit (CMP) for simultaneously comparing the bytes of data stored in the two registers, and a circuit for generating indicator bits when a match has been found (100). In another aspect, a parallel string processor includes a first register (136) which stores a keyword string and a pair of interconnected shift registers (186 and 188), which stores the string to be searched for the presence of the keyword. An arithmetic logic unit (140) compares the shift registers to determine whether the keyword is present in the portion of the string being searched. After each comparison, the contents of the interconnected shift registers are shifted with respect to the keyword stored in the first register. When the processor is searching for the presence of a keyword having a predetermined number of bytes, the contents of the shift register are shifted a byte at a time, and when the processor is searching for the presence of a keyword having a predetermined number of bits the contents of the shift register are shifted one bit at a time.

Abstract (fr)
Un processeur destiné à être utilisé dans un système informatique sert à comparer simultanément un certain nombres d'octets, afin de localiser un caractère de commande dans une chaîne de données. Ledit processeur comprend un registre contenant les octets de données (REGB), un registre dans lequel sont stockés les caractères de commande (REGA), un circuit de comparaison (CMP), destiné à comparer simultanément les octets de données stockées dans les deux registres, et un circuit servant à produire des bits indicateurs en cas d'égalité (100). Dans un autre aspect de la présente invention, un processeur de traitement de chaîne en parallèle comporte un premier registre (136), dans lequel est stockée une chaîne de mots-clé, et une paire de registres à décalage interconnectés (186 et 188), dans lesquels est stockée la chaîne à rechercher pour déterminer la présence du mot-clé. Une unité logique arithmétique (ALU) (140) compare les registres à décalage pour déterminer si le mot-clé est présent dans la partie de la chaîne en cours de recherche. Après chaque comparaison, le contenu des registres à décalage interconnectés est décalé par rapport au mot-clé stocké dans le premier registre. Lorsque le processeur est en mode de recherche pour déterminer la présence d'un mot-clé comportant un nombre prédéterminé d'octets, le contenu du registre à décalage est décalé d'un octet à la fois et, lorsque le processeur est en mode de recherche pour déterminer la présence d'un mot-clé comportant un nombre prédéterminé de bits, le contenu du registre à décalage est décalé d'un bit à la fois.

IPC 1-7
G05B 1/00; **G06F 7/02**

IPC 8 full level
G06F 7/02 (2006.01); **G06F 9/30** (2006.01); **G06F 17/30** (2006.01)

CPC (source: EP KR)
G06F 7/02 (2013.01 - EP KR); **G06F 9/30021** (2013.01 - EP); **G06F 16/90344** (2018.12 - EP); **G06F 2207/025** (2013.01 - EP)

Designated contracting state (EPC)
AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)
WO 8901653 A1 19890223; AU 1933788 A 19890309; EP 0395636 A1 19901107; EP 0395636 A4 19911016; KR 890702109 A 19891222

DOCDB simple family (application)
US 8801119 W 19880407; AU 1933788 A 19880407; EP 88906247 A 19880407; KR 890700674 A 19890419