

Title (en)

Electrical resistor in the form of a surface mounting chip and process for making the same.

Title (de)

Elektrischer Widerstand in Chip-Bauweise für Oberflächenbestückung und Verfahren zu seiner Herstellung.

Title (fr)

Résistance électrique sous forme de puce à montage de surface et son procédé de fabrication.

Publication

EP 0424254 A1 19910424 (FR)

Application

EP 90402915 A 19901017

Priority

FR 8913759 A 19891020

Abstract (en)

The electrical resistor in chip form is intended to be soldered in particular onto a printed circuit board or onto a hybrid circuit substrate. It comprises an insulating electrical substrate (1) of the ceramic type, onto which is tied a metal or resistive alloy sheet (3) by an adhesive layer of organic resin (2). <??>The resin layer (6) leaves free, in the vicinity of two opposite edges of the substrate (1), two end portions (5) of the stamped resistive sheet (3). These two portions (5) of the resistive sheet are each covered by a thin layer (8) of a metal or alloy adhering to the resistive sheet (3), this layer (8) being covered by a second thicker layer (9) of metal or conducting alloy, and this second layer (9) being covered with a third, likewise thicker, layer (14) of a solderable alloy, these three stacked layers (8, 9, 14) also extending over the two opposing lateral faces of the substrate (1) and partially over that face (13) of the substrate opposite the stamped resistive sheet (3). <??>Use in particular in printed or hybrid circuits. <IMAGE>

Abstract (fr)

La résistance électrique sous forme de puce est destinée à être soudée notamment sur une carte de circuit imprimé ou sur un substrat de circuit hybride. Elle comprend un substrat électriquement isolant (1) du type céramique, sur lequel est liée par une couche adhésive de résine organique (2) une feuille (3) de métal ou alliage résistif. La couche de résine (6) laisse libre au voisinage de deux bords opposés du substrat (1), deux parties (5), d'extrémité de la feuille résistive découpée (3). Ces deux parties (5) de la feuille résistive sont chacune recouverte par une couche mince (8) d'un métal ou alliage adhérant à la feuille résistive (3), cette couche (8) étant recouverte par une deuxième couche (9) plus épaisse de métal ou d'alliage conducteur, et cette deuxième couche (9) étant recouverte d'une troisième couche (14) également plus épaisse d'une alliage soudable, ces trois couches superposées (8, 9, 14) s'étendant également sur les deux faces latérales opposées du substrat (1) et partiellement sur la face (13) du substrat opposée à la feuille résistive découpée (3). Utilisation notamment dans les circuits imprimés ou hybrides.

IPC 1-7

H01C 1/142; H01C 13/02; H01C 17/28

IPC 8 full level

H01C 1/142 (2006.01); **H01C 3/12** (2006.01); **H01C 7/00** (2006.01); **H01C 13/02** (2006.01); **H01C 17/00** (2006.01); **H01C 17/06** (2006.01);
H01C 17/28 (2006.01)

CPC (source: EP KR US)

H01C 1/142 (2013.01 - EP US); **H01C 7/06** (2013.01 - KR); **H01C 17/006** (2013.01 - EP US); **H01C 17/28** (2013.01 - EP US)

Citation (search report)

- [AD] GB 2187598 A 19870909 - TDK CORP
- [AD] EP 0191538 A1 19860820 - PHILIPS NV [NL]
- [AD] US 3517436 A 19700630 - ZANDMAN FELIX, et al
- [A] US 4829553 A 19890509 - SHINDO YASUHIRO [JP], et al

Cited by

GB2265761B; CN105655072A

Designated contracting state (EPC)

AT BE CH DE DK ES GB GR IT LI LU NL SE

DOCDB simple family (publication)

EP 0424254 A1 19910424; EP 0424254 B1 19940105; AT E99828 T1 19940115; BR 9005297 A 19910917; CA 2028043 A1 19910421;
CA 2028043 C 19990316; DE 69005785 D1 19940217; DE 69005785 T2 19940505; FR 2653588 A1 19910426; FR 2653588 B1 19920207;
JP H03165501 A 19910717; KR 910008749 A 19910531; MC 2169 A1 19920409; US 5111179 A 19920505

DOCDB simple family (application)

EP 90402915 A 19901017; AT 90402915 T 19901017; BR 9005297 A 19901019; CA 2028043 A 19901019; DE 69005785 T 19901017;
FR 8913759 A 19891020; JP 27621090 A 19901020; KR 900016873 A 19901019; MC 2152 A 19901015; US 60081990 A 19901022