

Title (en)

VLSI BIPOLAR PROCESS AND KEYHOLE TRANSISTOR.

Title (de)

VLSI BIPOARPROZESS UND SCHLÜSSELLOCH-TRANSISTOR.

Title (fr)

PROCEDE BIPOLAIRE VLSI ET TRANSISTOR A TROU DE SERRURE.

Publication

EP 0430965 A1 19910612 (EN)

Application

EP 89908302 A 19890623

Priority

- US 21485688 A 19880701
- US 29689989 A 19890111
- US 31535689 A 19890221

Abstract (en)

[origin: WO9000312A1] A bipolar VLSI process includes masking and patterning, implanting a P+ channel stop (32) and locally oxidizing a P-doped silicon substrate (21) to define a collector region, implanting an N-type collector (43) and diffusing the implants (40, 44). Device emitter, collector and base contact features (64, 66, 68) are photolithographically defined by two openings (54, 56) spaced lengthwise along the collector region. Low resistivity P- and N-type regions (74, 80) are implanted in the substrate in the openings and covered by local oxidation (86, 88). The collector region is preferably formed in a keyhole shape with a wide collector contact feature (66B) and adjoining region (80B) and narrow base contact (68B) and emitter (64B) features and intervening region (74B). The substrate (22) is exposed in the emitter and contact features. A single polysilicon layer (94) is deposited, selectively doped and oxidized to form separate base, collector and emitter contacts (94) and a triple diffused NPN transistor (116, 92, 40).

Abstract (fr)

Un procédé bipolaire VLSI consiste à masquer et à produire une image sur un substrat de silicium P-dopé (21), à y implanter un arrêt de canal P + (32) et à l'oxyder localement pour définir une zone de collecteur, à y implanter un collecteur du type N (43) et à diffuser le matériel d'implantation (40, 44). Les figures élémentaires de l'émetteur, du collecteur et du contact de base (64, 66, 68) de l'appareil sont définies photolithographiquement par deux ouvertures (54, 56) séparées agencées sur la longueur de la zone de collecteur. Des zones de faible résistivité de type P ou N (74, 80) sont implantées dans des ouvertures ménagées dans le substrat et recouvertes par oxydation localisée (86, 88). De préférence, la zone de collecteur a la forme d'un trou de serrure où la figure élémentaire du contact du collecteur (66B) et la région adjacente (80B) sont larges et la figure élémentaire du contact de base (68B) et de l'émetteur (64B), ainsi que la zone intermédiaire (74B), sont étroites. Le substrat (22) des figures élémentaires de l'émetteur et du contact est exposé. Une couche unique de polysilicium (94) est déposée, sélectivement dopée et oxydée pour former des contacts distincts de base, de collecteur et d'émetteur (94) et un transistor à triple diffusion NPN (116, 92, 40).

IPC 1-7

H01L 21/82; H01L 27/08; H01L 29/06

IPC 8 full level

H01L 21/285 (2006.01); **H01L 21/331** (2006.01); **H01L 21/60** (2006.01); **H01L 21/762** (2006.01); **H01L 29/06** (2006.01); **H01L 29/08** (2006.01); **H01L 27/082** (2006.01)

CPC (source: EP)

H01L 21/28525 (2013.01); **H01L 21/76216** (2013.01); **H01L 21/76897** (2013.01); **H01L 29/0692** (2013.01); **H01L 29/0821** (2013.01); **H01L 29/66272** (2013.01); **H01L 27/0823** (2013.01)

Citation (search report)

See references of WO 9000312A1

Designated contracting state (EPC)

AT BE CH DE FR GB IT LI LU NL SE

DOCDB simple family (publication)

WO 9000312 A1 19900111; EP 0430965 A1 19910612

DOCDB simple family (application)

US 8902707 W 19890623; EP 89908302 A 19890623