Title (en)

Automation apparatus with single-step test.

Title (de)

Automatisierungsgerät mit Test in einzelnen Schritten.

Title (fr)

Appareil d'automatisation avec test pas-à-pas.

Publication

EP 0450116 A1 19911009 (DE)

Application

EP 90106297 A 19900402

Priority

EP 90106297 A 19900402

Abstract (en)

In automation devices (1) having a standard processor (3) and having a compiler (8), the latter translates a user program present in machine code into the machine language of the standard processor (3) for the purpose of fast processing. The standard processor (3) runs through the user program. To test the program, the machine code has previously been interpretatively processed by the standard processor with corresponding time consumption. The much faster instruction-granular on-line test in machine code is possible by providing a memory for storing test information which contains the correlation between the addresses of each instruction in machine code with the addresses of the corresponding instructions in the machine language of the standard processor (3) for the area of the user program to be tested. Furthermore, means (5) are provided for interrupting the program sequence.

Abstract (de)

Bei Automatisierungsgeräten (1) mit einem Standardprozessor (3) und mit einem Compiler (8) übersetzt letzterer zur schnellen Abarbeitung ein im Maschinencode vorliegendes Anwenderprogramm in die Maschinensprache des Standardprozessors (3). Der Standardprozessor (3) arbeitet das Anwenderprogramm ab. Zum Programmtest wurde bisher der Maschinencode interpretativ vom Standardprozessor mit entsprechendem Zeitaufwand abgearbeitet. Der viel schnellere befehlsgranulare Oneline-Test im Maschinencode ist möglich, indem ein Speicher vorgesehen wird zur Abspeicherung einer Testinformation, die für den zu testenden Bereich des Anwenderprogramms die Zuordnung zwischen den Adressen jedes Befehls im Maschinencode zu den Adressen der entsprechenden Befehle in der Maschinensprache des Standardprozessors (3) beinhaltet. Weiterhin sind Mittel (5) zur Unterbrechung des Programmablaufs vorgesehen.

IPC 1-7

G06F 11/00

IPC 8 full level

G06F 9/45 (2006.01); **G05B 19/042** (2006.01); **G06F 11/28** (2006.01); **G06F 11/36** (2006.01); **G06F 15/00** (2006.01)

CPC (source: EP)

G05B 19/0428 (2013.01); **G06F 11/3648** (2013.01)

Citation (search report)

- [Y] FR 2612661 A1 19880923 - REIGA [FR]
- [Y] PATENT ABSTRACTS OF JAPAN, Band 301, Nr. 415 (P-102), 1990; & JP-A-2 012 344 (MATSUSHITA ELECTRIC) 17-01-1990
- [A] IBM TECHNICAL DISCLOSURE BULLETIN, Band 22, Nr. 6, November 1979, Seiten 2578-2583, Armonk, New York, US; (H.P. SCHLAEPPI et al.): "Debugging system compatible with optimizing compiler"

Cited by

US6088665A; US6047222A; US6044305A; EP0990964A1; EP0718728A1; US6014612A; US5970430A; US6026352A; US6510351B1; US6618745B2; US6880106B2; WO2013020844A1; WO0019283A1; US6377859B1; US6192281B1; WO9814851A1

Designated contracting state (EPC)

CH DE FR IT LI

DOCDB simple family (publication)

EP 0450116 A1 19911009; **EP 0450116 B1 19950111**; DE 59008260 D1 19950223; JP H0749799 A 19950221

DOCDB simple family (application)

EP 90106297 A 19900402; DE 59008260 T 19900402; JP 9633991 A 19910401