

Title (en)
Method of fabricating a power-MISFET.

Title (de)
Herstellverfahren für einen Leistungs-MISFET.

Title (fr)
Méthode de fabrication d'un MISFET de puissance.

Publication
EP 0460251 A1 19911211 (DE)

Application
EP 90110611 A 19900605

Priority
EP 90110611 A 19900605

Abstract (en)
A method of fabricating a low-voltage power MISFET is provided which needs only three masks (photolithographic steps). In the first step, a polysilicone layer (3) is structured, and a cell array and peripheral zones are produced. An oxide layer (2) is then deposited and is opened up in the second photolithographic step above the cells and the peripheral zones and between the periphery (4) and the cells. A metal layer is then deposited which is interrupted by the third photolithographic step between the cells and the periphery (4). This produces field plates and channel stoppers (9).
<IMAGE>

Abstract (de)
Es wird ein Herstellverfahren für einen Niedervolt-Leistungs-MISFET angegeben, der mit drei Masken (Fotoschritten) auskommt. Beim ersten Schritt wird eine Polysiliziumschicht (3) strukturiert und ein Zellenfeld und Randzonen hergestellt. Dann wird eine Oxidschicht (2) aufgebracht, die beim zweiten Fotoschritt über den Zellen und den Randzonen und zwischen dem Rand (4) und den Zellen geöffnet wird. Dann wird eine Metallschicht aufgebracht, die durch den dritten Fotoschritt zwischen den Zellen und dem Rand (4) unterbrochen wird. Damit werden Feldplatten und Kanalstopper (9) erzeugt. <IMAGE>

IPC 1-7
H01L 21/336; H01L 29/06; H01L 29/784

IPC 8 full level
H01L 29/43 (2006.01); **H01L 21/336** (2006.01); **H01L 21/8234** (2006.01); **H01L 29/06** (2006.01); **H01L 29/40** (2006.01); **H01L 29/423** (2006.01); **H01L 29/49** (2006.01); **H01L 29/78** (2006.01); **H10N 50/10** (2023.01)

CPC (source: EP US)
H01L 29/0619 (2013.01 - EP US); **H01L 29/0638** (2013.01 - EP US); **H01L 29/66727** (2013.01 - EP US); **H01L 29/7811** (2013.01 - EP US); **H01L 29/402** (2013.01 - EP US); **H01L 29/41766** (2013.01 - EP US); **H01L 29/42376** (2013.01 - EP US); **Y10S 148/126** (2013.01 - EP US)

Citation (search report)
• [A] EP 0227894 A2 19870708 - SILICONIX INC [US]
• [A] US 4055884 A 19771101 - JAMBOTKAR CHAKRAPANI GAJANAN
• [A] EP 0241059 A2 19871014 - SILICONIX INC [US]
• [A] GB 2087648 A 19820526 - INT RECTIFIER CORP
• [A] PATENT ABSTRACTS OF JAPAN, Band 10, Nr. 332 (E-453)[2388], 12. November 1986; & JP-A-61 137 368 (HITACHI LTD) 25-06-1986

Cited by
EP0660416A1; DE4137341C1; US5302537A; US6248620B1; WO9905714A1

Designated contracting state (EPC)
AT BE CH DE DK ES FR GB GR IT LI LU NL SE

DOCDB simple family (publication)
EP 0460251 A1 19911211; EP 0460251 B1 19981118; DE 59010855 D1 19981224; JP H0529342 A 19930205; US 5087577 A 19920211

DOCDB simple family (application)
EP 90110611 A 19900605; DE 59010855 T 19900605; JP 15978091 A 19910603; US 71058891 A 19910605