

Title (en)

ANALOG TO DIGITAL CONVERSION INCORPORATED IN Z-TECHNOLOGY MODULE.

Title (de)

IN EINEM Z-TECHNOLOGIE-MODUL EINGEBAUTE ANALOG DIGITALE UMWANDLUNG.

Title (fr)

CONVERSION ANALOGIQUE-NUMERIQUE INCORPOREE DANS UN MODULE DE TECHNOLOGIE Z.

Publication

**EP 0465591 A1 19920115 (EN)**

Application

**EP 90906503 A 19900323**

Priority

US 32900389 A 19890327

Abstract (en)

[origin: WO9011613A1] A multi-layer Z-technology module (20) having a two dimensional photodetector (24) mosaic is disclosed, in which the function of A/D signal conversion is accomplished in each on-chip channel. In order to satisfy the power and real estate limitations of the modules, a substantial part of the A/D conversion circuitry is located off-chip. Two devices are required in each channel on each chip (22), a precision comparator, and a storage register. These may be combined with an off-chip analog ram, and an off-chip digital ramp. Certain on-chip performance enhancements are disclosed, which can operate either in the analog mode or the digital mode. One such enhancement is compensating for the voltage offset of each comparator. Another enhancement is reducing the duty cycle of each precision comparator, in order to lower power requirements.

Abstract (fr)

L'invention concerne un module (20) de technologie Z multicouche comportant une mosaïque de photodétecteur (24) bidimensionnelle, dans lequel la fonction de conversion de signaux A/N est accomplie dans chaque canal sur puce. Afin de satisfaire les limites de puissance et d'encombrement des modules, une partie substantielle du circuit de conversion A/N est situé hors puce. Deux dispositifs sont requis dans chaque canal se trouvant sur chaque puce (22), un comparateur de précision et un registre de mémoire. Ces derniers peuvent être combinés avec une rampe analogique hors puce, ainsi qu'une rampe numérique hors puce. L'invention concerne également certaines améliorations de performances sur puce, pouvant être utilisées soit dans le mode analogique, soit dans le mode numérique. Une de ces améliorations est la compensation du décalage de tension de chaque comparateur. Une autre amélioration consiste à réduire le temps de mise sous tension de chaque comparateur de précision, afin de limiter les besoins en courant.

IPC 1-7

**H01J 40/14**

IPC 8 full level

**H01J 40/14** (2006.01); **H01L 25/04** (2006.01); **H03M 1/12** (2006.01); **H03M 1/56** (2006.01); **H03M 1/58** (2006.01)

CPC (source: EP)

**H01L 25/043** (2013.01); **H03M 1/123** (2013.01); **H01L 2924/0002** (2013.01); **H03M 1/56** (2013.01); **H03M 1/58** (2013.01)

Designated contracting state (EPC)

DE FR GB IT NL

DOCDB simple family (publication)

**WO 9011613 A1 19901004**; EP 0465591 A1 19920115; EP 0465591 A4 19940302; JP H04504484 A 19920806

DOCDB simple family (application)

**US 9001734 W 19900323**; EP 90906503 A 19900323; JP 50613790 A 19900323