

Title (en)

CIRCUIT ARRANGEMENT FOR PRODUCING SYNCHRONIZATION SIGNALS DURING DATA TRANSMISSION.

Title (de)

SCHALTUNGSANORDNUNG ZUM ERZEUGEN VON SYNCHRONISATIONSSIGNALLEN BEI EINER ÜBERTRAGUNG VON DATEN.

Title (fr)

CIRCUIT GENERATEUR DE SIGNAUX DE SYNCHRONISATION LORS DE LA TRANSMISSION DE DONNEES.

Publication

**EP 0470092 A1 19920212 (DE)**

Application

**EP 90906119 A 19900420**

Priority

DE 3914006 A 19890427

Abstract (en)

[origin: WO9013191A1] During data transmission using binary-coded data signals (D), reception cycles (ET) which scan the data signals (D) at their centre are produced in order to retrieve the transmitted data. The phases of the reception cycles (ET) are synchronized by means of synchronization signals (SY) produced from the data signals (D). To ensure that even if the data signals are distorted, up to 50 % of these signals can be scanned as far as possible in their centre, allowance is made for the distortion concerned when the synchronization signals (SY) are produced. To this end, a counter (Z) is provided which is incremented by means of high-frequency cyclic pulses from an initial value to a final value. If changes occur in the binary value of the data signals (D), a synchronization stage (SYS) resets the counter (Z) to its initial value. A switching stage (SS) incorporated before the counter (Z) switches through cyclic pulses (T1) of higher serial frequency if the counter (Z) has not yet reached its final value at the end of a data signal (D). An output stage (AS) emits a synchronization signal (SY) when the counter (Z) reaches its final value. The invention is particularly suitable for use in data transmission in which reception cycles can be associated with the data signals on the receiver side.

Abstract (fr)

Lors de la transmission de données au moyen de signaux de données (D) à codage binaire, des cycles de réception (ET) qui balayent les signaux de données (D) par leur centre sont générés afin de récupérer les données transmises. Les cycles de réception (ET) sont synchronisés en phase par des signaux de synchronisation (SY) dérivés des signaux de données (D). Afin de pouvoir balayer les signaux de données (D) en leur centre même lorsque ceux-ci ont subi une distorsion pouvant aller jusqu'à 50 %, la distorsion correspondante est prise en considération lors de la génération des signaux de synchronisation (SY). A cet effet, un compteur (Z) est progressivement augmenté par des impulsions de synchronisation (T3) de haute fréquence d'une valeur initiale jusqu'à une valeur terminale. Un étage de synchronisation (SYS) remet le compteur (Z) à sa valeur initiale lors de modifications de la valeur binaire des signaux de données (D). Un étage de commutation (SS) agencé en amont du compteur (Z) commute des impulsions de synchronisation (T1) à une fréquence de répétition plus élevée lorsque le compteur (Z) n'a pas encore atteint sa valeur terminale à la fin d'un signal de données (D). Un étage de sortie (AS) émet un signal de synchronisation (SY) lorsque le compteur (Z) atteint sa valeur terminale. L'invention est particulièrement utile pour la transmission de données lorsque des cycles de réception associés aux signaux de données sont générés côté réception.

IPC 1-7

**H04L 7/033**

IPC 8 full level

**H04L 7/033** (2006.01)

CPC (source: EP US)

**H04L 7/0331** (2013.01 - EP US)

Citation (search report)

See references of WO 9013191A1

Designated contracting state (EPC)

CH DE GB IT LI

DOCDB simple family (publication)

**DE 3914006 C1 19900628**; EP 0470092 A1 19920212; US 5235596 A 19930810; WO 9013191 A1 19901101

DOCDB simple family (application)

**DE 3914006 A 19890427**; DE 9000295 W 19900420; EP 90906119 A 19900420; US 72161291 A 19910716