

Title (en)

Clocked drive unit for a display matrix in the form of an IC.

Title (de)

Als IC ausgeführte taktsteuerbare Ansteuereinheit einer Anzeigematrix.

Title (fr)

Unité de commande recevant un signal d'horloge pour une matrice d'affichage sous forme de circuit intégré.

Publication

EP 0489757 A1 19920617 (DE)

Application

EP 90911990 A 19900801

Priority

- EP 9001265 W 19900801
- EP 89116142 A 19890831

Abstract (en)

[origin: WO9103807A1] Described is an integrated circuit (IC) serving as a timed drive (CLK, SCK) of a display matrix (LCD) intended for the display of multi-character text comprising letters, numbers and/or other symbols and including the following features: the display matrix (LCD) has very many more columns than lines in order to display at least one line of text; several identical integrated circuits (IC1...ICn), i.e. a series of such circuits, provide column signals (S) for the control of the columns of the display matrix (LCD), each circuit controlling only some of the columns; the integrated circuit includes a shift register (SR1) into which those bits (Byte 1, Byte 2....) are shifted which correspond to the text displayed on the display matrix, or at least a section of this text; the input (SIN) and output (SOUT) of the shift register (SR1) are connected directly, or at the most via isolating switches (S2) and/or driver units, with pins (SIN, SOUT) of the integrated circuit in order to make it possible, when necessary, to shift the bits (Byte 1, Byte 2....), under fixed-cycle control (SCK), successively through the shift registers (SR1) of the series of integrated circuits (IC1...ICn); the integrated circuit is controlled by a control processor when the former is in operation; in the integrated circuit, a character generated (CG) with its own memory unit (ROM) is connected in series with the shift register (SR1); the character generator (CG), when in operation, converts at least some of the bits, each of which basically corresponds only to a short code representing the meaning of the relevant character, by means of the memory unit (ROM/CG) which is addressed by these bits (Byte 1, Byte 2....), into output signals which correspond to the output signals (S) of the integrated circuit and only these output signals are supplied as column signals (S) to the display matrix column inputs associated with said integrated circuit.

Abstract (fr)

Circuit intégré faisant fonction d'élément d'amorçage (IC) synchronisé (CLK, SCK) d'une matrice d'affichage (LCD) servant à l'affichage d'un texte constitué de plusieurs lettres, chiffres et/ou autres signes, dans lequel la matrice d'affichage (LCD) présente un bien plus grand nombre de colonnes que de lignes, de manière à pouvoir afficher au minimum un texte d'une ligne, plusieurs circuits intégrés identiques (IC1...ICn), formant une chaîne, délivrent des signaux de colonne (S) commandant les colonnes de la matrice d'affichage (LCD), chaque circuit intégré commandant une partie des colonnes seulement, le circuit intégré comporte un registre à décalage (SR1) dans lequel sont déplacés les bits (octet 1, octet 2...) qui correspondent au texte à afficher sur la matrice d'affichage ou au moins à une fraction de ce texte, l'entrée (SIN) et la sortie (SOUT) du registre à décalage (SR1) sont reliées directement, ou au plus par l'intermédiaire de sectionneurs (S2) et/ou d'étages excitateurs, à des broches (SIN, SOUT) du circuit intégré pour pouvoir si nécessaire déplacer successivement les bits (octet 1, octet 2) commandés par l'horloge (SCK) à travers les registres à décalage (SR1) de la chaîne (IC1...ICn), le circuit intégré en fonctionnement est commandé par un processeur de commande, sur le circuit intégré un générateur de caractères (CG) possédant sa propre mémoire (ROM) est connecté au registre à décalage (SR1), le générateur de caractères (CG) en fonctionnement transforme au moins une partie des bits (octet 1, octet 2...), qui correspondent chacun pour l'essentiel uniquement à un code court pour la signification intrinsèque des signes concernés, au moyen de la mémoire (ROM/CG) adressée par ces bits (octet 1, octet 2...), en signaux de sortie correspondant aux signaux de sortie (S) du circuit intégré, et en fonctionnement seulement, ces signaux de sortie du circuit intégré sont fournis sous forme de signaux de colonne (S) aux entrées de colonne de la matrice d'affichage (LCD) assignées à ce circuit intégré.

IPC 1-7

G09G 3/18; G09G 3/36

IPC 8 full level

G09G 3/18 (2006.01); **G09G 3/36** (2006.01)

CPC (source: EP)

G09G 3/18 (2013.01); **G09G 3/3674** (2013.01)

Citation (search report)

See references of WO 9103807A1

Cited by

DE19625898A1

Designated contracting state (EPC)

DE FR GB IT

DOCDB simple family (publication)

WO 9103807 A1 19910321; AU 6157090 A 19910408; DE 59007523 D1 19941124; EP 0489757 A1 19920617; EP 0489757 B1 19941019

DOCDB simple family (application)

EP 9001265 W 19900801; AU 6157090 A 19900801; DE 59007523 T 19900801; EP 90911990 A 19900801