

Title (en)

PROCESS FOR TESTING INTEGRATED CIRCUITS WITH AT LEAST ONE LOGIC CIRCUIT AND TESTABLE INTEGRATED CIRCUIT.

Title (de)

VERFAHREN ZUR PRÜFUNG VON INTEGRIERTEN SCHALTkreISEN MIT MINDESTENS EINER LOGIKSCHALTUNG UND PRÜFBARER INTEGRIERTER SCHALTkreIS.

Title (fr)

PROCEDE DE VERIFICATION DE CIRCUITS INTEGRES AVEC AU MOINS UN CIRCUIT LOGIQUE ET CIRCUIT INTEGRE TESTABLE.

Publication

**EP 0597926 A1 19940525 (DE)**

Application

**EP 92916321 A 19920803**

Priority

- DE 4126333 A 19910808
- DE 9200638 W 19920803

Abstract (en)

[origin: WO9303434A1] Two test combinations TK1 and TK2 are fitted into the input trigger circuit (EK1 to EK2) of the logic circuit (LS1) to be tested and the output trigger circuits (AP1 to AP2) of the upstream test device (TE) or an upstream logic circuit (LSO). The second test combination TK2 is taken with the first system test pulse into the input trigger circuits (EK1 to EK3) and the appropriate output combination (AT2) is taken with the second test pulse into the output trigger circuits (AK1 to AK2). The former is then taken into the test device (TE) and checked. An integrated circuit suitable for implementing the process has trigger stages with two beat inputs.

Abstract (fr)

Dans le cadre de la vérification en temps réel, deux combinaisons de test TK1 et TK2 sont enregistrées dans les flip-flops d'entrée (EK1 à EK2) du circuit logique à vérifier (LS1) et les flip-flops de sortie (AP1 à AP2) du système de test placé en amont (TE) ou d'un circuit logique (LSO) placé en amont. La deuxième combinaison de test TK2 est transférée avec la première impulsion de test du système dans les flip-flops d'entrée (EK1 à EK3) et la combinaison de sortie (AT2) associée est transférée avec la deuxième impulsion de test dans les flip-flops de sortie (AK1 à AK2). Pour finir, cette combinaison de sortie est transférée dans le système de test (TE) et y est vérifiée. Un circuit intégré adapté à l'application de ce procédé comporte des flip-flops avec deux entrées d'impulsion.

IPC 1-7

**G06F 11/26**

IPC 8 full level

**G01R 31/28** (2006.01); **G01R 31/3185** (2006.01); **G06F 11/22** (2006.01); **G01R 31/30** (2006.01)

CPC (source: EP US)

**G01R 31/318536** (2013.01 - EP US); **G01R 31/318552** (2013.01 - EP US); **G01R 31/318555** (2013.01 - EP US); **G01R 31/30** (2013.01 - EP US); **G06F 2201/805** (2013.01 - EP US)

Citation (search report)

See references of WO 9303434A1

Designated contracting state (EPC)

AT CH DE ES FR GB IT LI NL SE

DOCDB simple family (publication)

**WO 9303434 A1 19930218**; EP 0597926 A1 19940525; JP H06509643 A 19941027; US 5513187 A 19960430

DOCDB simple family (application)

**DE 9200638 W 19920803**; EP 92916321 A 19920803; JP 50318493 A 19920803; US 19315294 A 19940526